

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**this Page Blank (uspto)**

3/2/1

DIALOG(R) File 351:Derwent WPI

(c) 2001 DERWENT INFO LTD. All rts. reserv.

007929431

WPI Acc No: 1989-194543/198927

XRPX Acc No: N89-148774

Time division switching system for multi-channel calls - sequentially reads signals from alternate memories into time slots of outgoing highway wrt difference between incoming and outgoing frames

Patent Assignee: NEC CORP (NIDE )

Inventor: HAYANO S; HAYANO S I

Number of Countries: 006 Number of Patents: 007

Basic Patent:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 323248	A	19890705	EP 88312385	A	19881229	198927 B

Priority Applications (No Type Date): JP 87336028 A 19871229; JP 87336027 A 19871229

Cited Patents: 1.Jnl.Ref; A3...9043; EP 102810; EP 53267; GB 2000418; No-SR.Pub

Designated States (Regional): DE; FR; GB

Abstract (Basic): EP 323248 A

Signals on an incoming highway of a time division switching system are written into an alternate one of two time switch memories and are sequentially read out of the other alternate one of the memories into the time slots of an outgoing highway of the system in accordance with a phase difference between incoming and outgoing frames and a time slot interchanging relationship between signals on the incoming highway and corresp. signals on the outgoing highway. The beginning of the outgoing frame coincides with one of the time slots of the incoming frame which is displaced from the beginning of the incoming frame by an amount equal to the detected phase difference. Alternatively, if the time slot of at least one signal of a multi-channel cell on the incoming highway is later than the time slot of a corresp. signal on the outgoing highway, all signals of that multi-channel call are sequentially read out of the memories into a given outgoing highway so that they corresp. to those on an incoming frame which is one frame prior to the one being written at the beginning of the given outgoing frame.

If the time slots of all signals of a multi-channel call on the incoming highway are earlier than those of respectively corresp. signals on the outgoing highway, all signals of that multi-channel call are sequentially read out of the memories into an outgoing frame so that they corresp. to those on an incoming frame which is being written at the beginning of the outgoing frame.

ADVANTAGE - Maintains time slot sequence integrity.

Title Terms: TIME; DIVIDE; SWITCH; SYSTEM; MULTI; CHANNEL; CALL; SEQUENCE; READ; SIGNAL; ALTERNATE; MEMORY; TIME; SLOT; OUTGOING; HIGHWAY; DIFFER; INCOMING; OUTGOING; FRAME

Index Terms/Additional Words: ISDN

Derwent Class: W01

International Patent Class (Main): H04Q-011/04; H04Q-011/08

International Patent Class (Additional): H04J-003/06

File Segment: EPI

Manual Codes (EPI/S-X): W01-B07; W01-C05B

This Page Blank (uspto 310)

(2)

99 P 5894



①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ Übersetzung der  
europäischen Patentschrift

⑧7 EP 0 323 248 B1

⑩ DE 38 50 485 T 2

⑤1 Int. Cl.<sup>5</sup>:  
H 04 Q 11/08  
H 04 J 3/06

②1	Deutsches Aktenzeichen:	38 50 485.5
⑧8	Europäisches Aktenzeichen:	88 312 385.3
⑧8	Europäischer Anmeldetag:	29. 12. 88
⑧7	Erstveröffentlichung durch das EPA:	5. 7. 89
⑧7	Veröffentlichungstag der Patenterteilung beim EPA:	29. 6. 94
④7	Veröffentlichungstag im Patentblatt:	20. 10. 94

③0 Unionspriorität: ②② ③③ ③1

29.12.87 JP 336027/87 29.12.87 JP 336028/87

⑦3 Patentinhaber:

NEC Corp., Tokio/Tokyo, JP

⑦4 Vertreter:

Tauchner, P., Dipl.-Chem. Dr.rer.nat.; Heunemann,  
D., Dipl.-Phys. Dr.rer.nat.; Rauh, P., Dipl.-Chem.  
Dr.rer.nat.; Hermann, G., Dipl.-Phys. Dr.rer.nat.;  
Schmidt, J., Dipl.-Ing.; Jaenichen, H., Dipl.-Biol.  
Dr.rer.nat., Pat.-Anwälte; Tremmel, H., Rechtsanw.,  
81675 München

⑧4 Benannte Vertragsstaaten:

DE, FR, GB

⑦2 Erfinder:

Hayano, Sin-ichiro, Tokyo, JP

⑤4 Zeitmultiplexvermittlung für Mehrkanal-Verbindungen, welche zwei Zeitvermittlungsspeicher als  
Rahmenausgleicher verwendet.

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die  
Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das  
erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und  
zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist  
(Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht  
worden. Sie wurde vom Deutschen Patentamt inhaltlich nicht geprüft.

DE 38 50 485 T 2

DE 38 50 485 T 2

EP-B-0 323 248  
(88 31 2385.3)  
NEC CORPORATION  
u.Z.: EP-2806

VOSSIUS & PARTNER  
PATENTANWÄLTE  
SIEBERTSTR. 4  
81675 MÜNCHEN

28. Juni 1994

- 5      Zeitmultiplexvermittlung für Mehrkanal-Verbindungen, welche  
zwei Zeitvermittlungsspeicher als Rahmenausgleicher verwendet

#### Hintergrund der Erfindung

Die Erfindung betrifft allgemein ein Zeitmultiplexvermittlungssystem für Signale in Mehrkanal-Verbindungen.

- 10      Beim Vermitteln von Mehrkanal-Verbindungen mit der  
mehrfachen Grundträgergeschwindigkeit oder Grundverkehrseinheit des ISDN (integriertes Sprach- und Datennetz) ist es erforderlich, daß Signale auf einer gehenden Multiplexleitung in der gleichen Reihenfolge erscheinen, wie sie auf einer  
15      kommenden Multiplexleitung erscheinen, eine Anforderung, die als "Zeitschlitzfolgenzusammengehörigkeit" bekannt ist. Um diese Anforderung zu erfüllen, wird die Phase eines Rahmens auf kommenden Multiplexleitungen so gestaltet, daß sie mit der Phase eines entsprechenden Rahmens auf gehenden Multiplexlei-  
20      tungen zusammenfällt, wobei zwei Zeitkoppelspeicher bzw. Zeitvermittlungsspeicher 304 und 305 gemäß Fig. 1 verwendet werden. Dieses bekannte Zeitmultiplexvermittlungssystem weist einen Schreibzähler 310 auf, der die Zeitsteuerung des gesamten Systems ermöglicht. Dieser Zähler wird als Antwort auf ein  
25      Signal von einem Rahmendetektor 309 zu Beginn eines ankommenden Rahmens auf einer kommenden Multiplexleitung 301 zurückgesetzt. Um die Zeitschlitzze Nr. 2 und Nr. 3 einer Mehrkanal-Verbindung (b, c) mit den Zeitschlitzze Nr. 1 und Nr. 4 zu koppeln, wird das Ausgangssignal des Schreibzählers 310 als  
30      Adreßsignal an die Zeitkoppelspeicher 304 und 305 angelegt, um Signale der Mehrkanal-Verbindungen (b<sub>1</sub>, c<sub>1</sub>) und (b<sub>2</sub>, c<sub>2</sub>) in den Speicherstellen Nr. 2 und Nr. 3 der Speicher 304 bzw. 305 zu speichern. Eine Steuerungsschaltung 320 speichert Leasedreßcodes "2" und "3" in den Speicherstellen Nr. 1 bzw. Nr.  
35      4 des Steuerungsspeichers 321. Um den Zeitschlitzfolgenzusammenhang sicherzustellen, muß der Steuerungsspeicher 321 war-

ten, bis der Schreibvorgang eines gegebenen Rahmens beendet ist, bevor er zum Lesevorgang dieses gegebenen Rahmens übergeht (siehe Fig. 2). Die ankommenden und abgehenden Rahmen müssen jedoch phasenmäßig aneinander angeglichen sein, um den  
5 Zeitschlitzfolgenzusammengehörigkeit sicherzustellen. Wenn Mehrkanal-Verbindungen mit einem Koppelsystem der Konfiguration TxSxT (Zeit-Raum-Zeit-Kopplung) durchgeführt werden, in denen das Phasenverhältnis zwischen ankommenden und abgehenden Rahmen vorbestimmt ist, muß ein Speicher, z.B. ein FIFO-Speicher als Rahmensynchronisationseinrichtung bzw. Rahmenausgleich  
10 gleicher verwendet werden. Dadurch wird die Hardware größer und komplexer.

In der Beschreibung der Europäischen Patentschrift Nr. 0 053 267, die am 09.06.1983 veröffentlicht wurde, und in der  
15 Beschreibung der entsprechenden englischsprachigen US-Patentbeschreibung Nr. 4 467 471, die am 21.08.1984 veröffentlicht wurde, ist ein Zeitmultiplexvermittlungssystem für Mehrkanal-Verbindungen beschrieben, bei dem die Steuerungsvorgänge der Zeitschlitzvielfachen dadurch vereinfacht werden, daß ein  
20 voller Speicher bei einem Schreibvorgang während eines ersten Schreibimpulsrahmens und ein weiterer voller Speicher bei einem Schreibvorgang während eines folgenden zweiten Schreibimpulsrahmens verwendet wird.

Ein Merkmal einer zu beschreibenden besonderen Anord-  
25 nung ist ein Multiplexvermittlungssystem für Mehrkanal-Verbindungen, das Zeitmultiplexkopplung ohne die Verwendung einer Rahmensynchronisationseinrichtung zuläßt und dabei die Zeitschlitzfolgenzusammengehörigkeit aufrecht erhält.

In einer besonderen Anordnung weist das Zeitmultiplex-  
30 vermittlungssystem auf: eine kommende Multiplexleitung zur Unterstützung eines ankommenden Rahmens mit Zeitschlitzten, in denen Signale der Mehrkanal-Verbindungen transportiert werden, und eine gehende Multiplexleitung zur Unterstützung eines abgehenden Rahmens mit Zeitschlitzten, in denen entsprechende  
35 Signale der Mehrfachkanäle auftreten. Ein erster und ein zweiter Zeitkoppelspeicher sind vorgesehen, wobei jeder Speicherstellen hat, die den Zeitschlitzten jedes der ankommenden und der abgehenden Rahmen entsprechen. Signale auf der

kommenden Multiplexleitung werden jeweils abwechselnd in den einen, nämlich in den ersten oder den zweiten Zeitkoppelspeicher geschrieben, und Signale werden sequentiell jeweils aus dem anderen Zeitschlitzspeicher gelesen und in bestimmte Zeitschlitze der gehenden Multiplexleitung entsprechend einer Phasendifferenz zwischen dem ankommenden und dem abgehenden Rahmen und einer Austauschbeziehung zwischen Signalen auf der kommenden Multiplexleitung und entsprechenden Signalen auf der gehenden Multiplexleitung übergeben, so daß der Beginn eines abgehenden Rahmens mit dem einen der Zeitschlitze des ankommenden Rahmens zusammenfällt, der ab Beginn des ankommenden Rahmens um einen Betrag verschoben ist, der der Phasendifferenz entspricht.

Ein weiteres Merkmal der Anordnung besteht darin, daß, wenn der Zeitschlitz mindestens eines Signals einer gegebenen Mehrkanal-Verbindung auf der kommenden Multiplexleitung später auftritt als der Zeitschlitz eines entsprechenden Signals auf der gehenden Multiplexleitung, alle Signale der gegebenen Mehrkanal-Verbindung von einem, nämlich dem ersten oder dem zweiten Zeitkoppelspeicher entsprechend der Phasendifferenz und einer Zeitschlitztauschbeziehung zwischen dem ankommenden und dem abgehenden Rahmen in die Zeitschlitze einer gegebenen gehenden Multiplexleitung übertragen werden, so daß die Signale in dem gegebenen abgehenden Rahmen denjenigen in einem ankommenden Rahmen entsprechen, der einen Rahmen vor demjenigen liegt, der zu Beginn des gegebenen abgehenden Rahmens in den anderen Zeitkoppelspeicher geschrieben wird. Wenn die Zeitschlitze aller Signale der gegebenen Mehrkanal-Verbindung früher auftreten als die Zeitschlitze von jeweils entsprechenden Signalen auf der gehenden Multiplexleitung, dann werden alle Signale dieser Mehrkanal-Verbindung eines ankommenden Rahmens von einem, nämlich dem ersten oder dem zweiten Zeitkoppelspeicher entsprechend der Phasendifferenz und einer Zeitschlitztauschbeziehung in die Zeitschlitze einer gegebenen gehenden Multiplexleitung übertragen, so daß die Signale in dem gegebenen abgehenden Rahmen denjenigen in einem ankommenden Rahmen entsprechend, der zu Beginn des gegebenen abgehenden Rahmens geschrieben wird.



### Kurze Beschreibung der Zeichnungen

Nachstehend wird die Erfindung mit Bezug auf die beige-fügten Zeichnungen beschrieben. Dabei zeigen:

Fig. 1 ein Blockschaltbild eines bekannten Zeitmulti-  
plexvermittlungssystems;

Fig. 2 ein Zeitdiagramm, das sich auf Fig. 1 bezieht;

Fig. 3 ein Blockschaltbild eines Zeitmultiplexvermitt-  
lungssystems gemäß einer ersten erfindungsgemäßen Ausführ-  
ungsform;

Fig. 4a ein Ablaufdiagramm, das sich auf die Ausführ-  
ungsform gemäß Fig. 3 bezieht,

Fig. 4b eine Darstellung, die sich auf das Ablaufdia-  
gramm gemäß Fig. 4a bezieht;

Fig. 5 ein Zeitdiagramm, das sich auf die Ausführungs-  
form gemäß Fig. 3 bezieht;

Fig. 6 ein Blockschaltbild eines Zeitmultiplexvermitt-  
lungssystems gemäß einer zweiten erfindungsgemäßen Ausführ-  
ungsform;

Fig. 7 ein Ablaufdiagramm, das sich auf die Ausführ-  
ungsform Fig. 6 bezieht:

Fig. 8 ein Zeitdiagramm, das sich auf die Ausführungs-  
form Fig. 6 bezieht;

Fig. 9 ein Blockschaltbild eines Zeitmultiplexvermitt-  
lungssystems gemäß einer dritten erfindungsgemäßen Ausführ-  
ungsform;

Fig. 10a ein Ablaufdiagramm, das sich auf die Ausführ-  
ungsform gemäß Fig. 9 bezieht, und Fig. 10b eine Darstellung,  
die sich auf Fig. 10a bezieht;

Fig. 11a und 11b Zeitdiagramme, die sich auf die Aus-  
führungsform gemäß Fig. 9 beziehen;

Fig. 12 ein Ablaufdiagramm, das sich auf die Ausführ-  
ungsform gemäß Fig. 9 bezieht; und

Fig. 13a und 13b Zeitdiagramme, die sich auf die Aus-  
führungsform gemäß Fig. 9 beziehen.

### Ausführliche Beschreibung:

In Fig. 3 ist ein Zeitmultiplexvermittlungssystem gemäß  
einer erfindungsgemäßen Ausführungsform dargestellt. Das

Vermittlungssystem weist auf: eine kommende Multiplexleitung 101, einen Demultiplexierer 102, der mit der kommenden Multiplexleitung 101 verbunden ist, einen ersten Zeitkoppelspeicher 104 mit einem Dateneingangsanschluß  $DI_1$ , der mit einem ersten Ausgangsanschluß des Demultiplexierers 102 verbunden ist, einen zweiten Zeitkoppelspeicher 105 mit einem Dateneingangsanschluß  $DI_2$ , der mit einem zweiten Ausgangsanschluß des Demultiplexierers 102 verbunden ist, einen Demultiplexierer 106 mit einem ersten Eingangsanschluß, der mit einem Ausgangsanschluß  $DO_1$  des ersten Zeitkoppelspeichers 104 verbunden ist und einem zweiten Eingangsanschluß, der mit einem Ausgangsanschluß  $DO_2$  des zweiten Zeitkoppelspeichers 105 verbunden ist, und eine gehende Multiplexleitung, die mit dem Ausgangsanschluß des Multiplexierers 106 verbunden ist.

Ein Rahmendetektor 109 ist mit der kommenden Multiplexleitung 101 verbunden, um zu Beginn jedes ankommenden Rahmens ein Ausgangssignal zu erzeugen. Ein Schreibzähler 110 erhöht seinen Zählwert schrittweise in Intervallen entsprechend den Zeitschlitzintervallen von ankommenden Rahmen FI und wird einmal bei jedem zweiten Ausgangssignal des Rahmendetektors 109 zurückgesetzt. Das niedrigstwertige bis zweithöchstwertige Bit des Ausgangssignals des Zählers 110 werden als Schreibadresse  $WA(p)$  an beide Zeitkoppelspeicher 104 und 105 angelegt, wobei das höchstwertige Bit zwischen aufeinanderfolgenden ankommenden Rahmen als Speicherraumkoppelsignal an den Steuerungseingang des Demultiplexierers 102 übergeben wird zum Koppeln des Schreibtaktes eines Speicherraumes, der durch die Zeitkoppelspeicher 104 und 105 definiert ist, und ferner über eine NICHT-Schaltung 111 an den Steuerungseingang des Multiplexierers 106 angelegt wird zum Durchschalten des Lesetaktes des Speicherraumes während des Intervalles jedes abgehenden Rahmens, wie man später noch sehen wird.

Ein Lesezähler 112 ist vorgesehen, der seinen Zählwert schrittweise erhöht in Intervallen entsprechend den Zeitschlitzintervallen von abgehenden Rahmen FO. Das Ausgangssignal des Lesezählers 112 wird angelegt als Leseadresse  $RA(c)$  an einen Steuerungsspeicher 121 sowie an einen Signalspeicher 113, wo die Leseadresse, ausgelöst durch ein Ausgangssignal

des Rahmendepektors 109, festgehalten wird. Die festgehaltenen Daten stellen eine Phasendifferenz zwischen dem ankommenden und dem abgehenden Rahmen dar. Die Steuerungsschaltung 120 leitet eine Schreibadresse  $WA(c)$  für den Steuerungsspeicher 121 und eine Leseadresse  $RA(t)$  für die Zeitkoppelspeicher 104 und 105 aus der Phasendifferenz sowie aus der Beziehung zwischen den einzelnen Zeitschlitzten eines ankommenden Rahmens und den Zeitschlitzten eines entsprechenden abgehenden Rahmens ab, mit denen die Signale auf der kommenden Multiplexleitung durchgeschaltet werden sollen. Die Leseadresse  $RA(c)$  wird gemäß der Schreibadresse  $WA(c)$  im Steuerungsspeicher 121 gespeichert und gemäß der Schreibadreßdaten  $RA(c)$  des Lesezählers 112 aus dem Steuerungsspeicher gelesen und als Leseadresse an die Zeitkoppelspeicher 104 und 105 übergeben.

Fig. 4a ist eine Darstellung eines Algorithmus der Steuerungsschaltung 120. Wie in Fig. 4b dargestellt, sind ankommende Signale auf der Multiplexleitung 101 mit  $X_j$  bezeichnet (wobei  $j$  die Zeitschlitznummer von 1 bis  $M$  bezeichnet) und abgehende Signale auf der Multiplexleitung 108 mit  $Y_j$  bezeichnet. Die Zwischenrahmenphasendifferenz ist mit  $D$  bezeichnet, und die ankommenden Rahmen erstrecken sich zwischen Zeitschlitzten  $T_1$  und  $T_n$ , und die entsprechenden abgehenden Rahmen erstrecken sich zwischen Zeitschlitzten  $S_1$  und  $S_n$ . Der Ablauf des Algorithmus beginnt mit Block 200, der das Lesen von Signalen  $X_j$ ,  $Y_j$  und  $D$  durchführt. Es erfolgt dann der Eintritt in den Block 201, der die Modulosubtraktion von  $Y_j - D$  durchführt, und das Ergebnis ist mit  $C_j$  bezeichnet. Der Ablauf geht weiter mit Block 202, der das Setzen des Parameters  $j$  auf Eins durchführt.

Es erfolgt dann ein Eintritt in den Block 203, der die Ermittlung eines minimalen Wertes  $C_j$  aus den Werten  $C_1$  bis  $C_M$  durchführt und ihn als  $E_j$  bezeichnet. Der Ablauf geht weiter im Operationsblock 204, um eine Modulosummierung von  $E_j$  durchzuführen, auf die der Operationsblock 205 folgt, der das Koppeln von  $X_j$  mit  $E_j$  durchführt. Es erfolgt ein Eintritt in den Operationsblock 206, der den Parameter  $j$  um Eins erhöht, der im Entscheidungsblock 207 mit  $M$  verglichen wird, um festzustellen, ob  $j$  kleiner oder gleich  $M$  ist. Wenn der

Parameter  $j$  kleiner als  $M$  ist, ist die Antwort in Block 207 positiv, und es erfolgt eine Rückkehr nach Block 203, um den oben beschriebenen Ablauf zu wiederholen, und ansonsten wird der Ablauf beendet.

5        Der Arbeitsablauf der Ausführungsform gemäß Fig. 4a wird nachstehend mit Bezug auf ein Zeitdiagramm Fig. 5 beschrieben. Es wird angenommen, daß das Vermittlungssystem die ankommenden Rahmen  $FI_1$  und  $FI_2$  empfängt, wobei jeder die Zeitmultiplex-Signale  $b$  und  $c$  transportiert (jeder mit einem  
10        Subskript, das den Rahmen bezeichnet, in dem sie in den Zeitschlitten Nr. 2 bzw. Nr. 3 auf der kommenden Multiplexleitung 101 transportiert werden). Es wird ferner angenommen, daß eine Phasendifferenz von zwei Zeitschlitten zwischen dem ankommenden und dem abgehenden Rahmen vorhanden ist. Diese  
15        Phasendifferenz wird durch den Signalspeicher 113 als Antwort auf ein Ausgangssignal des Rahmendetektors 109 zu Beginn des Rahmens  $FI_1$  ermittelt und an die Steuerungsschaltung 120 übergeben. Gleichzeitig wird der Schreibzähler 110 durch das Ausgangssignal des Rahmendektors 109 zurückgesetzt und als  
20        Schreibadresse  $WA(t)$  an die Zeitkoppelspeicher 104 und 105 weitergegeben, so daß die Zeitmultiplex-Signale  $b_1$  und  $c_1$  in den Speicherstellen Nr. 2 bzw. Nr. 3 des Zeitkoppelspeichers 104 und die Zeitmultiplex-Signale  $b_2$  und  $c_2$  in den Speicherstellen Nr. 2 bzw. Nr. 3 des Zeitkoppelspeichers 105 gespeichert werden.  
25        chert werden.

      Wenn die Phasendifferenz  $D$  gleich 2 ist und wenn  $X_1=2$ ,  $X_2=3$ ,  $Y_1=1$  und  $Y_2=4$  gilt, führt die Ausführung des Blocks 201 zu dem Ergebnis, daß  $C_1$  und  $C_3$  "3" bzw. "2" sind. In Block 203 wird  $E_1$  gleich  $C_2$ , das heißt,  $C_2$  wird als Minimum der Signale  
30        ermittelt, und  $X_1=2$  wird in Block 205 mit  $E_1=2+2=4$  verkoppelt. Ebenso ist  $E_2$  gleich  $C_1$ , und deshalb wird  $X_2=3$  mit  $E_2$  verkoppelt, das eine Modulosumme von  $3+2=1$  ist. Andererseits bestimmt die Steuerungsschaltung 120, daß der Zeitschlitz Nr. 4 des Rahmens  $FO_1$  und der Zeitschlitz Nr. 1 des Rahmens  $FO_2$   
35        Ziel-(Senke-)Schlitze von der Phasendifferenz sowie von einem Koppelsteuerungssignal sind, das von einer Fremdquelle kommt, und geht dazu über, den ankommenden Zeitschlitz Nr. 2 mit dem abgehenden Zeitschlitz Nr. 4 und den ankommenden Zeitschlitz

Nr. 3 mit dem abgehenden Zeitschlitz Nr. 1 in Beziehung zu setzen, indem ein Code "2" in die Speicherstelle Nr. 4 des Steuerungsspeichers 121 und ein Code "3" in die Speicherstelle Nr. 1 dieses Speichers geschrieben werden.

5 Eine Lesevorgang wird in einem der Zeitkoppelspeicher 104 und 105 entsprechend der Leseadresse  $RA(t)$  aus dem Steuerungsspeicher 121 durchgeführt in der Zeit, wo ein Schreibvorgang in dem anderen Zeitkoppelspeicher durchgeführt wird. Speicherraum wird auf diese Weise während des Intervalls eines  
10 abgehenden Rahmens, der durch Dreiecke in Fig. 5 markiert ist, von dem einen Zeitkoppelspeicher zu dem anderen durchgeschaltet. Insbesondere wird ein Zeitmultiplex-Signal  $c_0$  in einem ankommenden Rahmen, der dem Rahmen  $FI_1$  vorausgeht, aus der Speicherstelle Nr. 3 des Zeitkoppelspeichers 105 gelesen, und  
15 zwar während des Zeitschlitzes Nr. 1 des abgehenden Rahmens  $FO_1$ , und ein Zeitmultiplex-Signal  $b_1$  in einem ankommenden Rahmen  $FI_1$  wird aus der Speicherstelle Nr. 2 des Zeitkoppelspeichers 104 gelesen, und zwar während des Zeitschlitzes Nr. 4 dieses abgehenden Rahmens. Auf diese Weise können die  
20 ankommenden Zeitmultiplex-Signale  $b_1$ ,  $c_1$ ,  $b_2$ ,  $c_2$ , mit den Zeitschlitzes Nr. 1 und Nr. 4 der gehenden Multiplexleitung 108 gekoppelt werden, wobei sie ihre Reihenfolge beibehalten.

Eine modifizierte erfindungsgemäße Ausführungsform ist in Fig. 6 dargestellt. Diese Ausführungsform weist auf: eine  
25 kommende Multiplexleitung 401, einen Demultiplexierer 402, der mit der kommenden Multiplexleitung 401 verbunden ist, einen ersten Zeitkoppelspeicher 404 mit einem Dateneingangsanschluß  $DI_1$ , der mit einem ersten Ausgangsanschluß des Demultiplexierers 402 verbunden ist, einem zweiten Zeitkoppelspeicher 405  
30 mit einem Dateneingangsanschluß  $DI_2$ , der mit einem zweiten Ausgangsanschluß des Demultiplexierers D 402 verbunden ist, einen Multiplexierer 406 mit einem ersten Eingangsanschluß, der mit einem Ausgangsanschluß  $DO_1$  des ersten Zeitkoppelspeichers 404 verbunden ist, und einen zweiten Eingangsanschluß,  
35 der mit einem Ausgangsanschluß  $DO_2$  des zweiten Zeitkoppelspeichers 405 verbunden ist, und eine gehende Multiplexleitung 408, die mit dem Ausgangsanschluß des Multiplexierers 406 verbunden ist. Ein Rahmendetektor 409 ist mit der kommenden

Multiplexleitung 401 verbunden, um zu Beginn jedes ankommenden Rahmens ein Ausgangssignal zu erzeugen. Der Schreibzähler 401 erhöht seinen Zählwert in Intervallen, die den Zeitschlitzintervallen von ankommenden Rahmen FI entsprechen, und wird als Antwort auf jedes Ausgangssignal vom Rahmendetektor 409 zurückgesetzt.

Ein Lesezähler 412 erhöht seinen Zählwert in Intervallen, die den Zeitschlitzintervallen von abgehenden Rahmen FO entsprechen. Das zweithöchstwertige bis niedrigstwertige Bit der Ausgangssignale des Lesezählers 412 werden als Leseadresse RA(c) an einen Steuerungsspeicher 421 angelegt. Das höchstwertige Bit des Ausgangssignals des Lesezählers 412 wird an den Demultiplexierer 402 als Speicherraumkoppelsignal angelegt zum Durchschalten des Schreibtaktes eines Speicherraumes, der durch die Zeitkoppelspeicher 404 und 405 definiert ist, während des Intervalls jedes ankommenden Rahmens, und wird ferner über eine NICHT-Schaltung 411 an den Steuerungseingang des Multiplexierers 106 angelegt zum Durchschalten des Lesetaktes des Speicherraumes während nachfolgender abgehender Rahmen. Dieses Signal mit dem höchstwertigen Bit oder MSB-Ausgangssignal wird auch an einen Signalspeicher 413 angelegt, um eine Schreibadresse WA(t) vom Schreibzähler 410 festzuhalten, um ein Ausgangssignal zu erzeugen, das eine Phasendifferenz zwischen ankommenden und abgehenden Rahmen bezeichnet. Eine Steuerungsschaltung 420 leitet eine Schreibadresse WA(c) für den Steuerungsspeicher 421 und eine Leseadresse RA(c) für die Zeitkoppelspeicher 404 und 405 aus der Phasendifferenz zwischen den einzelnen Zeitschlitzten eines ankommenden Rahmens und denjenigen Zeitschlitzten eines abgehenden Rahmens ab, die diesem ankommenden Rahmen entsprechen. Die Leseadresse RA(t) wird entsprechend der Schreibadresse WA(c) im Steuerungsspeicher 421 gespeichert und entsprechend der Leseadresse RA(c) vom Lesezähler 412 aus dem Steuerungsspeicher gelesen und als Leseadresse an die Zeitkoppelspeicher 404 und 405 übergeben.

Der Algorithmus der Steuerungsschaltung 420 ist in Fig. 7 dargestellt, die identisch ist mit derjenigen in Fig. 4a mit der Ausnahme, daß die Blöcke 201 und 205 von Fig. 4a durch die Blöcke 210 und 211 ersetzt sind. In Block 210 wird eine

Modulosubtraktion  $X_j - D$  durchgeführt, und die Modulosubtraktion wird als  $C_j$  bezeichnet, und in Block 211 wird  $Y_j$  mit  $E_j$  gekoppelt.

Wenn eine Phasendifferenz  $D$  gleich 2 ist und wenn  $X_1=2$ ,  
5  $X_2=3$ ,  $Y_1=1$  und  $Y_2=4$  gilt, dann führt die Ausführung des Blocks 210 zu dem Ergebnis, daß  $C_1$  und  $C_2$  gleich "4" bzw. "1" sind. In Block 203 wird  $E_1$  gleich  $C_2$ , daß heißt  $C_2$  wird als Minimum der Signale ermittelt,  $X_1=2$  wird in Block 205 mit  $E_1=2+2=4$  gekoppelt. Ebenso ist  $E_1$  gleich  $C_1$ , und deshalb wird  $X_2=3$  mit  $E_2$   
10 gekoppelt, das eine Modulosumme von  $3+2=1$  ist.

Ebenso wie in der vorherigen Ausführungsform stellt die Steuerungsschaltung 420 einen ankommenden Zeitschlitz Nr. 2 mit einem abgehenden Zeitschlitz Nr. 4 und einen ankommenden Zeitschlitz Nr. 3 mit dem abgehenden Zeitschlitz Nr. 1 in  
15 Beziehung, indem ein Code "2" in die Speicherstelle Nr. 4 des Steuerungsspeichers 421 und ein Code "3" in die Speicherstelle Nr. 1 dieses Speichers geschrieben werden. Bei dieser Ausführungsform ereignet sich das Durchschalten des Speicherraumes zwischen den Zeitkoppelspeichern 404 und 405 während des  
20 Intervalls jedes ankommenden Rahmens, wie durch Dreiecke in Fig. 8 dargestellt ist.

Selbst wenn eine Phasendifferenz zwischen ankommenden und abgehenden Rahmen vorhanden ist, können Zeitmultiplex-Signale durchgeschaltet werden, ohne daß deren Reihenfolge unter Verwendung von Speichern mit der Gesamtkapazität von 2  
25 Rahmen sich ändert. Man erkennt, daß die Zeitkoppelspeicher nicht nur als Zeitschlitzwechsler, sondern auch als Rahmensynchronisiereinrichtung dienen.

Es ist zwar bisher nur von einer Betriebsart  
30 'Sequentielles Schreiben und wahlfreies Lesen' die Rede gewesen, die Betriebsart 'Wahlfreies Schreiben und sequentielles Lesen' könnte aber ebenso erfindungsgemäß verwendet werden. Bei den vorherigen Ausführungsformen geht die Zeitschlitzfolgenzusammengehörigkeit verloren, wenn mindestens ein  
35 Signal einer Mehrkanal-Verbindung auf der kommenden Multiplexleitung später erscheint als ein entsprechendes Signal auf der gehenden Multiplexleitung.

Eine modifizierte erfindungsgemäße Ausführungsform, die in Fig. 9 dargestellt ist, vermeidet dieses Problem. Wie bei den vorherigen Ausführungsformen weist das Zeitmultiplexvermittlungssystem gemäß Fig. 9 auf: eine kommende Multiplexleitung 501, einen Demultiplexierer 502, der mit der kommenden Multiplexleitung 501 verbunden ist, einem ersten Zeitkoppelspeicher 504 mit einem Dateneingangsanschluß  $DI_1$ , der mit einem ersten Ausgangsanschluß des Demultiplexierers 502 verbunden ist, einem zweiten Zeitkoppelspeicher 505 mit einem Dateneingangsanschluß  $DI_2$ , der mit einem zweiten Ausgangsanschluß des Demultiplexierers 502 verbunden ist, einen Multiplexierer 506 mit einem ersten Eingangsanschluß, der mit einem Ausgangsanschluß  $DO_1$  des ersten Zeitkoppelspeichers 504 verbunden ist, und einem zweiten Eingangsanschluß, der mit einem Ausgangsanschluß  $DO_2$  des zweiten Zeitkoppelspeichers 505 verbunden ist, und eine gehende Multiplexleitung 508, die mit dem Ausgangsanschluß des Multiplexierers 506 verbunden ist.

Ein Rahmendektekter 509 ist mit der kommenden Multiplexleitung 501 verbunden, um ein Ausgangssignal zu Beginn jedes ankommenden Rahmens zu erzeugen. Ein Schreibzähler 510 erhöht seinen Zählwert in Intervallen, die den Zeitschlitzintervallen von ankommenden Rahmen FI entsprechen, und wird einmal bei jedem zweiten Ausgangssignal des Rahmendetektors 509 zurückgesetzt. Das niedrigstwertige bis zweithöchstwertige Bit des Ausgangs des Zählers 510 werden als Schreibadresse  $WA(t)$  an beide Zeitkoppelspeicher 504 und 505 angelegt, wobei das höchstwertige Bit an den Steuerungseingang des Demultiplexierers 502 als Speicherraumkoppelsignal übergeben wird zum Durchschalten des Schreibaktes eines Speicherraumes, der durch die Zeitkoppelspeicher 504 und 505 definiert ist.

Ein Lesezähler 512 erhöht seinen Zählwert in Intervallen, die den Zeitschlitzintervallen der Zeitschlitznummer von abgehenden Rahmen FO entsprechen, um ein binäres Ausgangssignal zu erzeugen, wobei das zweithöchstwertige bis niedrigstwertige Bit des Zählers als Leseadresse  $RA(c)$  an einen Steuerungsspeicher 521 und an einen Signalspeicher 513 angelegt werden. Das höchstwertige Bit des Ausgangs des Zählers 512



wird an den Signalspeicher 513 und an ein Ausschließlich-ODER-Glied 511 angelegt.

Eine Steuerungsschaltung 520 leitet eine Schreibadresse  $WA(c)$  für den Steuerungsspeicher 521 und eine Leseadresse  $RA(t)$  für die Zeitkoppelspeicher 504 und 505 von einem Koppelsteuerungssignal ab, das dort angelegt wird, und schreibt die Leseadreßcodes  $RA(t)$ , die ankommende Zeitschlitzbezeichnungen, in die Speicherstellen des Steuerungsspeichers 521, die wiederum jeweils den abgehenden Zeitschlitz entsprechen.

Alle Bits des Ausgangssignals des Zählers 512, die im Signalspeicher 513 gespeichert sind, stellen eine Phasendifferenz zwischen dem ankommenden und dem abgehenden Rahmen dar. Wenn die Phasendifferenz geringer ist als ein Rahmenintervall, dann ist das festgehaltene höchstwertige Bit binär 1, und wenn die Phasendifferenz zwischen einem Rahmenintervall und einem Intervall von zwei Rahmen liegt, dann ist das festgehaltene höchstwertige Bit binär 0. Der Steuerungsspeicher 521 hat eine Anzahl von Steuerungsbitzellen, die jeweils zu den einzelnen Speicherstellen dieses Speichers gehören, um eine binäre 1 oder 0 zu speichern.

Die Steuerungsschaltung 520 arbeitet nach einem Algorithmus, der anhand eines Ablaufdiagramms in Fig. 10a dargestellt ist. Wie in Fig. 4b sind ankommende Signale auf der Multiplexleitung 501 mit  $X_j$  (wobei  $j$  die Zeitschlitznummer ist, die von 1 bis  $M$  geht) und abgehende Signale auf der Multiplexleitung 508 mit  $Y_j$  bezeichnet, wie in Fig. 10b dargestellt. Die Zwischenrahmenphasendifferenz ist mit  $D$  bezeichnet, und die ankommenden Rahmen erstrecken sich zwischen den Zeitschlitznummern  $T_1$  und  $T_n$ , und die entsprechenden abgehenden Rahmen erstrecken sich zwischen den Zeitschlitznummern  $S_1$  und  $S_n$ .

Der Programmablauf beginnt mit dem Operationsblock 600, der das Lesen von Eingabedaten einschließlich der Signale  $X_j$ ,  $Y_j$  und  $B$  durchführt. Es erfolgt ein Eintritt in den Block 601, der die Modulosummierung der abgehenden Signale  $Y_j$  und der Phasendifferenz  $D$  durchführt, um eine Modulosumme  $C_j$  zu ermitteln. Der Ablauf geht weiter im Operationsblock 602, in dem die Signalfolgennummer  $j$  auf Eins zurückgesetzt wird, um

die Verarbeitung mit einem ersten Signal jeder Mehrkanal-Verbindung zu beginnen.

Im Entscheidungsblock 603 wird festgestellt, ob die Zeitschlitznummer des ankommenden Signals  $X_j$  größer ist als die Phasendifferenz  $D$  und ob gleichzeitig die Modulosumme  $C_j$  kleiner ist als die Endzeitschlitznummer  $T_n$ . Dies bedeutet, daß ein ankommendes Signal  $X_j$  zwischen dem Beginn ( $S_1$ ) eines ersten abgehenden Rahmens und dem Ende ( $T_n$ ) eines ersten ankommenden Rahmens angeordnet wird, der mindestens teilweise mit dem ersten abgehenden Rahmen überlappt, und wenn ein entsprechendes abgehendes (Senke-)Signal  $C_j$  zwischen den Beginn ( $=T_n+D$ ) eines zweiten nachfolgenden abgehenden Rahmens und dem Ende ( $2T_n+D$ ) eines zweiten nachfolgenden abgehenden Rahmens, also  $X_j > D$  und  $2T_n + D > C_j > T_n + D = T_n > C_j$ , angeordnet ist, dann ist die Entscheidung positiv. Wenn die Antwort im Block 603 positiv ist, geht es weiter im Entscheidungsblock 604, um zu ermitteln, ob die Phasendifferenz kleiner als ein Rahmen oder größer als ein Rahmen, aber kleiner als zwei Rahmen ist. Wenn die Phasendifferenz kleiner ist als ein Rahmen, ist das MSB-Ausgangssignal des Zählers 512 gleich Eins, und die Steuerung geht weiter im Operationsblock 605, um eine binäre 1 zu erzeugen, und ansonsten ist das höchstwertige Bit des Ausgangssignals 0, und die Steuerung geht weiter im Operationsblock 609, um eine binäre 0 zu erzeugen. Wenn die Entscheidung im Block 603 negativ ist, geht es weiter im Operationsblock 606, um  $j$  um Eins zu erhöhen, und der Ablauf geht weiter im Entscheidungsblock 607, der feststellt, ob  $j$  kleiner oder gleich  $M$  ist. Wenn  $X_j$  größer als  $D$  und  $C_j$  kleiner als  $T_n$  ist, kann es nur mit Verzögerung gelesen werden, und somit werden alle Signale der Mehrkanal-Verbindung in einen nachfolgenden abgehenden Rahmen gelesen. Unter diesen Umständen ist die Entscheidung in Block 603 positiv, und eine binäre Eins wird erzeugt, wenn das höchstwertige Bit des Zählers 512 1 ist oder eine binäre 0 wird erzeugt, wenn das höchstwertige Bit des Zählers 512 0 ist. Wenn die Entscheidung im Block 603 negativ ist, wird eine binäre 0 erzeugt, wenn das höchstwertige Bit des Zählers 512 1 ist, oder es wird eine bi-

näre Eins erzeugt, wenn das höchstwertige Bit des Zählers 512 0 ist.

Der Arbeitsablauf des Ablaufdiagramms gemäß Fig. 10a ist besser verständlich mit Bezug auf Fig. 11a und 11b, die jeweils Phasendiagramme mit einer Phasendifferenz von drei Zeitschlitten und einer Phasendifferenz von einem Rahmen plus drei Zeitschlitten darstellen.

Gemäß Fig. 11a wird angenommen, daß ankommende Rahmen FI<sub>1</sub> und FI<sub>2</sub> jeweils Signale A<sub>1</sub> und A<sub>2</sub> einer Mehrkanal-Verbindung A in den Zeitschlitten Nr. 5 und Nr. 7 und Signale B<sub>1</sub> und B<sub>2</sub> einer Mehrkanal-Verbindung B in den Zeitschlitten Nr. 3 und Nr. 8 transportieren und die ankommenden Zeitschlitten Nr. 5 und Nr. 7 mit den abgehenden Zeitschlitten Nr. 3 bzw. Nr. 5 und die ankommenden Zeitschlitten Nr. 3 und Nr. 8 mit den abgehenden beiden Zeitschlitten Nr. 2 bzw. Nr. 4 gekoppelt werden. Koppelsignale, die die Beziehung zwischen ankommenden und abgehenden Zeitschlitten darstellen, und Phasendifferenzdaten werden von einer Fremdquelle (Block 600) an die Steuerungsschaltung 520 übergeben, um die Verarbeitung der Mehrkanalsignale A<sub>1</sub> und A<sub>2</sub> zu beginnen, und zwar nacheinander, indem die Blöcke 601, 602 und 603 abgearbeitet werden. Somit sind die Entscheidungen bei den Signalen A<sub>1</sub> und A<sub>2</sub> im Block 603 positiv, was dazu führt, daß eine binäre 1 in die Steuerungsbitzellen Nr. 3 und Nr. 5 des Speichers 521 geschrieben werden. Ebenso werden die Signale B<sub>1</sub> und B<sub>2</sub> verarbeitet, um zu einer positiven Entscheidung im Block 603 zu kommen, und eine binäre 1 wird in die Steuerungsbitzellen Nr. 2 und Nr. 4 des Speichers 521 geschrieben.

Die Steuerungsbits "1111" werden also in den Steuerungsbitzellen des Speichers 521 gespeichert, die zu den Speicherstellen Nr. 2, Nr. 3, Nr. 4 bzw. Nr. 5 des Speichers 521 gehören, und zwar als Antwort auf die Schreibadresse WA(c) zusammen mit den entsprechenden Leseadressdaten RA(t), und werden aus diesem Speicher gelesen als Antwort auf die Leseadresse RA(c) aus dem Lesezähler 512. Die Steuerungsbits werden an einen Eingang eines Ausschließlich-ODER-Gliedes 511 übergeben, an das auch das höchstwertige Bit des Ausgangssignals des Lesezählers 512 angelegt wird, und die Leseadresse

RA(t) wird an die Zeitkoppelspeicher 504 und 505 übergeben. Das Ausgangssignal des Ausschließlich-ODER-Gliedes 511 wird als Speicherraumkoppelsignal an den Multiplexierer 506 angelegt. Die Aufgabe des Ausschließlich-ODER-Gliedes 512 besteht darin, den Binärzustand des Speicherraumkoppelsignals während aufeinanderfolgender Rahmen synchron mit den Änderungen des Binärwertes des höchstwertigen Bits des Lesezählers 512 abwechselnd umzukehren.

Da das Signal  $B_{21}$  während des abgehenden Rahmens  $FO_1$  nicht gelesen werden kann, werden alle Signale  $A_{11}$ ,  $A_{21}$ ,  $B_{11}$  und  $B_{21}$  während des nachfolgenden abgehenden Rahmens  $FO_2$  aus dem Zeitkoppelspeicher 504 gelesen, der jetzt die Signale des ankommenden Rahmens  $FI_1$  speichert. Eine Bitfolge "1111" wird erzeugt durch das Ausschließlich-ODER-Glied 511 während eines abgehenden Rahmens, und eine Bitfolge "0000" wird erzeugt während eines nachfolgenden abgehenden Rahmens.

Wenn die Phasendifferenz größer als ein Rahmenintervall, aber kleiner als ein Intervall von zwei Rahmen ist, ist das festgehaltene höchstwertige Bit des Ausgangssignals des Zählers 512 eine binäre 0 zu Beginn eines ersten ankommenden Rahmens, und es ändert sich in eine binäre 1 während des abgehenden Rahmens  $F_1$  und dann in eine binäre 0 während des abgehenden Rahmens  $F_2$ , wie in Fig. 11b dargestellt. Die Steuerungsschaltung 520 erzeugt ein Steuerungsbinärbit 0 für alle Signale  $A_1$ ,  $A_2$ ,  $B_1$  und  $B_2$ , um anzuzeigen, daß Signale von Mehrkanal-Verbindungen A und B mit einer Rahmenverzögerung gelesen werden. Also wird eine binäre 0 für die abgehenden Zeitschlitze Nr. 2, Nr. 3, Nr. 4 und Nr. 5 erzeugt. Somit ist die Bitfolge, die durch das Ausschließlich-ODER-Glied 511 erzeugt wird, während jedes abgehenden Rahmens die gleiche wie in dem Fall wo die Phasendifferenz kleiner ist als ein Rahmen.

Fig. 12 ist ein modifiziertes Ablaufdiagramm des Algorithmus gemäß Fig. 11a. Der modifizierte Algorithmus ist identisch mit dem von Fig. 11a mit der Ausnahme, daß der Entscheidungsblock 306 der vorherigen Ausführungsform ersetzt wird durch den Entscheidungsblock 700, der feststellt, ob  $X_j$  größer ist als  $C_j$ .

Dieser Algorithmus ist mit Bezug auf Fig. 13a und Fig. 13b, die Fig. 11a bzw. 11b entsprechen, besser verständlich. In Fig. 13a ist die Entscheidung in Block 700 bei Signalen A1 und A2 negativ, was zur Erzeugung einer binären 0 bei dem  
5 höchstwertigen Bit 1 des Zählers 512 und einer binären 1 bei dem höchstwertigen Bit 0 führt, und die Entscheidung im Block 700 ist bei Signal B1 negativ und bei Signal B2 positiv.

Die Steuerungsbits "1010" werden also in den Steuerungsbitzellen des Speichers 521 gespeichert, wenn die Phasendifferenz kleiner ist als ein Rahmen, und die Steuerungsbits  
10 "0101" werden in den Steuerungsbitzellen gespeichert, wenn die Phasendifferenz größer als ein Rahmen, aber kleiner als zwei Rahmen (Fig. 13b) ist. Eine Bitfolge "1010" wird erzeugt durch das Ausschließlich-ODER-Glied 511 während eines abgehenden  
15 Rahmens, und eine Bitfolge "0101" wird erzeugt während eines nachfolgenden abgehenden Rahmens. Die Signale A<sub>11</sub> und A<sub>21</sub> werden also während des abgehenden Rahmens FO<sub>1</sub> aus dem Zeitkoppelspeicher 504 gelesen, der nun die Signale des ankommenden Rahmens FI<sub>1</sub> speichert, und die Signale B<sub>11</sub> und B<sub>21</sub> werden  
20 während des abgehenden Rahmens FO<sub>2</sub> aus dem gleichen Zeitkoppelspeicher gelesen.

Die vorstehende Beschreibung stellt nur bevorzugte erfindungsgemäße Ausführungsformen dar. Verschiedene Modifikationen sind für den Fachmann offensichtlich, ohne daß der  
25 Umfang der vorliegenden Erfindung, der lediglich durch die beigefügten Patentansprüche eingeschränkt wird, verlassen wird. Deshalb dienen die dargestellten und beschriebenen Ausführungsformen lediglich der Darstellung, und haben keinen einschränkenden Charakter.

EP-B-0 323 248  
(88 31 2385.3)  
NEC CORPORATION  
u.Z.: EP-2806

5

## Patentansprüche

1. Zeitmultiplexvermittlungssystem für Mehrkanal-Verbindungen mit einer kommenden Multiplexleitung (101) zur Unterstützung eines ankommenden Rahmens mit Zeitschlitten, in denen Signale der Mehrkanal-Verbindungen transportiert werden, einer gehenden Multiplexleitung (108) zur Unterstützung eines abgehenden Rahmens mit Zeitschlitten, in denen entsprechende Signale der Mehrkanal-Verbindungen transportiert werden, einem ersten und einem zweiten Zeitkoppelspeicher (104, 105), einer Schreibadreßeinrichtung (110) zum Übergeben einer Schreibadresse (WA(t)) synchron mit den Zeitschlitten jedes ankommenden Rahmens an die Zeitkoppelspeicher (104, 105), einem Demultiplexierer (102) zum Übergeben der ankommenden Rahmen abwechselnd an Speicherstellen der Zeitkoppelspeicher (104, 105), die durch die Schreibadresse (WA(t)) festgelegt sind, einem Multiplexierer (106), der zwischen die Zeitkoppelspeicher (104, 105) und die gehende Multiplexleitung (108) geschaltet ist, einem Steuerungsspeicher (121) mit Speicherstellen, die den Zeitschlitten jedes abgehenden Rahmens entsprechen, einer Steuerungseinrichtung (120) zum Erzeugen von Leseadressen (RA(t)) der Zeitkoppelspeicher (104, 105) entsprechend einem Koppelsignal und Schreiben der Leseadressen (RA(t)) in eine Speicherstelle des Steuerungsspeichers (121), die durch eine Schreibadresse (WA(c)), festgelegt ist, und Lesen der Leseadressen (RA(t)) aus dem Steuerungsspeicher (121) in die Zeitkoppelspeicher (104, 105) entsprechend einer Leseadresse (RA(c)), so daß Signale, die in den Zeitkoppelspeichern gespeichert sind, an den Multiplexierer (106) übergeben werden, und einer Leseeinrichtung (112) zum Erzeugen und Übergeben der Leseadresse (RA(c)) an den Steuerungsspeicher (121) synchron mit jedem Zeitschlitz des abgehenden Rahmens, gekennzeichnet durch einen Rahmendetektor (109), der mit der kommenden Multiplexleitung verbunden ist zum Ermitteln

des Beginns jedes ankommenden Rahmens, um ein Ausgangssignal zu erzeugen, und eine Signalspeichereinrichtung (113) zum Festhalten der Leseadresse (RA(c)) aus der Leseeinrichtung (112) als Anzeige einer Phasendifferenz zwischen der kommenden und der gehenden Multiplexleitung als Antwort auf das Ausgangssignal vom Rahmendetektor (109) und dadurch, daß die Steuerungseinrichtung (120) die Leseadresse (RA(t)) und die Schreibadresse (WA(c)) entsprechend der festgehaltenen Adresse (RA(c)) erzeugt.

2. Zeitmultiplexvermittlungssystem für Mehrkanal-Verbindungen mit einer kommenden Multiplexleitung (401) zur Unterstützung eines ankommenden Rahmens mit Zeitschlitten, in denen Signale der Mehrkanal-Verbindungen transportiert werden, einer gehenden Multiplexleitung (408) zur Unterstützung eines abgehenden Rahmens mit Zeitschlitten, in denen entsprechende Signale der Mehrkanal-Verbindungen transportiert werden, einem ersten und einem zweiten Zeitkoppelspeicher (404, 405), einer Schreibeinrichtung (410) zum Übergeben einer Schreibadresse (WA(t)) synchron mit den Zeitschlitten jedes ankommenden Rahmens an die Zeitkoppelspeicher (404, 405), einem Demultiplexierer (402) zum Übergeben der ankommenden Rahmen abwechselnd an Speicherstellen der Zeitkoppelspeicher (404, 405), die durch die Schreibadresse (WA(t)) festgelegt sind, einem Multiplexierer (406), der zwischen die Zeitkoppelspeicher (404, 405) und die gehende Multiplexleitung (408) geschaltet ist, einem Steuerungsspeicher (421) mit Speicherstellen, die den Zeitschlitten jedes abgehenden Rahmens entsprechen, einer Steuerungseinrichtung (420) zum Erzeugen von Leseadressen (RA(t)) der Zeitkoppelspeicher (404, 405) entsprechend einem Koppelsignal und Schreiben der Leseadressen (RA(t)) in eine Speicherstelle des Steuerungsspeichers (421), die durch eine Schreibadresse (WA(c)) festgelegt ist, und Lesen der Leseadressen (RA(t)) aus dem Steuerungsspeicher (421) in die Zeitkoppelspeicher (404, 405) entsprechend einer Leseadresse (RA(c)), so daß Signale, die in den Zeitkoppelspeichern gespeichert sind, an den Multiplexierer (406) übergeben werden, und einer Leseeinrichtung (412) zum Erzeugen und Übergeben der Leseadresse (RA(c)) an den Steuerungsspeicher

(421) synchron mit jedem Zeitschlitz des abgehenden Rahmens, gekennzeichnet durch eine Signalspeichereinrichtung (413) zum Festhalten der Schreibadresse (WA(t)) von der Schreibeinrichtung (410) als Antwort auf die Erzeugung eines höchstwertigern Bits der Leseadresse (RA(c)) als Anzeige einer Phasendifferenz zwischen der kommenden und der gehenden Multiplexleitung und dadurch, daß die Steuerungseinrichtung (420) die Leseadresse (RA(t)) und die Schreibadresse (WA(c)) entsprechend der festgehaltenen Adresse (RA(c)) erzeugt.

3. Zeitmultiplexvermittlungssystem für Mehrkanal-Verbindungen mit einer kommenden Multiplexleitung (501) zur Unterstützung eines ankommenden Rahmens mit Zeitschlitzten, in denen Signale der Mehrkanal-Verbindungen transportiert werden, einer gehenden Multiplexleitung (508) zur Unterstützung eines abgehenden Rahmens mit Zeitschlitzten, in denen entsprechende Signale der Mehrkanal-Verbindungen transportiert werden, einem ersten und einem zweiten Zeitkoppelspeicher (504, 505), einer Schreibadreßeinrichtung (510) zum Übergeben einer Schreibadresse (WA(t)) synchron mit den Zeitschlitzten jedes ankommenden Rahmens an die Zeitkoppelspeicher (504, 505), einem Demultiplexierer (502) zum Übergeben der ankommenden Rahmen abwechselnd an Speicherstellen der Zeitkoppelspeicher (504, 505), die durch die Schreibadresse (WA(t)) festgelegt sind, einem Multiplexierer (506), der zwischen die Zeitkoppelspeicher (504, 505) und die gehende Multiplexleitung (508) geschaltet ist, einem Steuerungsspeicher (521) mit Speicherstellen, die den Zeitschlitzten jedes abgehenden Rahmens entsprechen, einer Steuerungseinrichtung (520) zum Erzeugen von Leseadressen (RA(t)) der Zeitkoppelspeicher (504, 505) entsprechend einem Koppelsignal und Schreiben der Leseadressen (RA(t)) in eine Speicherstelle des Steuerungsspeichers (521), die durch eine Schreibadresse (WA(c)) festgelegt ist, und Lesen der Leseadressen (RA(t)) aus dem Steuerungsspeicher (521) in die Zeitkoppelspeicher (504, 505) entsprechend einer Leseadresse (RA(c)), so daß Signale, die in den Zeitkoppelspeichern gespeichert sind, an den Multiplexierer (506) übergeben werden, und einer Leseeinrichtung (512) zum Erzeugen und Übergeben der Leseadresse (RA(c)) an den Steuerungsspei-



cher (521) synchron mit jedem Zeitschlitz des abgehenden Rahmens, gekennzeichnet durch einen Rahmendetektor (509), der mit der kommenden Multiplexleitung verbunden ist zum Ermitteln des Beginns jedes ankommenden Rahmens, und eine Signalspeichereinrichtung (513) zum Festhalten der Leseadresse (RA(c)) als Anzeige einer Phasendifferenz zwischen der kommenden und der gehenden Multiplexleitung als Antwort auf das Ausgangssignal vom Rahmendetektor (509) und dadurch, daß die Steuerungseinrichtung (520, Fig. 9, 10a) eine Einrichtung aufweist zum Fällen einer ersten Entscheidung, wenn ein ankommendes Signal einer gegebenen Mehrkanal-Verbindung sich zwischen dem Beginn eines ersten abgehenden Rahmens ( $FO_1$ ) und dem Ende einer ersten ankommenden Rahmens ( $FI_1$ ) befindet, der mindestens den ersten abgehenden Rahmen ( $FO_1$ ) teilweise überlappt, und ein entsprechendes abgehendes Signal sich zwischen dem Beginn eines zweiten abgehenden Rahmens ( $FO_2$ ) und dem Ende einer zweiten ankommenden Rahmens ( $FI_2$ ) befindet, zum Fällen einer zweiten Entscheidung im anderen Fall, dem sequentiellen Lesen, als Antwort auf die erste Entscheidung, aller Signale der gegebenen Mehrkanal-Verbindung von einem des ersten oder zweiten Zeitkoppelspeichers (504, 505) in Zeitschlitz des zweiten abgehenden Rahmens ( $FO_2$ ), die durch die festgehaltene Adresse (RA(c)) festgelegt sind, und dem sequentiellen Lesen, als Antwort auf die zweite Entscheidung, aller Signale der gegebenen Mehrkanal-Verbindung von einem der Zeitkoppelspeicher in Zeitschlitz des zweiten abgehenden Rahmens ( $FO_2$ ), die durch die festgehaltene Adresse (RA(c)) festgelegt sind.

4. Zeitmultiplexvermittlungssystem für Mehrkanal-Verbindungen mit einer kommenden Multiplexleitung (501) zur Unterstützung eines ankommenden Rahmens mit Zeitschlitz, in denen Signale der Mehrkanal-Verbindungen transportiert werden, einer gehenden Multiplexleitung (508) zur Unterstützung eines abgehenden Rahmens mit Zeitschlitz, in denen entsprechende Signale der Mehrkanal-Verbindungen transportiert werden, einem ersten und einem zweiten Zeitkoppelspeicher (504, 505), einer Schreibadresseinrichtung (510) zum Übergeben einer Schreibadresse (WA(t)) synchron mit den Zeitschlitz jedes ankommenden Rahmens an die Zeitkoppelspeicher (504, 505), einem

Demultiplexierer (502) zum Übergeben der ankommenden Rahmen abwechselnd an Speicherstellen der Zeitkoppelspeicher (504, 505), die durch die Schreibadresse (WA(t)) festgelegt sind, einem Multiplexierer (506), der zwischen die Zeitkoppelspeicher (504, 505) und die gehende Multiplexleitung (508) geschaltet ist, einem Steuerungsspeicher (521) mit Speicherstellen, die den Zeitschlitten jedes abgehenden Rahmens entsprechen, einer Steuerungseinrichtung (520) zum Erzeugen von Leseadressen (RA(t)) der Zeitkoppelspeicher (504, 505) entsprechend einem Koppelsignal und Schreiben der Leseadressen (RA(t)) in eine Speicherstelle des Steuerungsspeichers (521), die durch eine Schreibadresse (WA(c)) festgelegt ist, und Lesen der Leseadressen (RA(t)) aus dem Steuerungsspeicher (521) in die Zeitkoppelspeicher (504, 505) entsprechend einer Leseadresse (RA(c)), so daß Signale, die in den Zeitkoppelspeichern gespeichert sind, an den Multiplexierer (506) übergeben werden, und einer Leseeinrichtung (512) zum Erzeugen und Übergeben der Leseadresse (RA(c)) an den Steuerungsspeicher (521) synchron mit jedem Zeitschlitz des abgehenden Rahmens, gekennzeichnet durch einen Rahmendetektor (509), der mit der kommenden Multiplexleitung verbunden ist zum Ermitteln des Beginns jedes ankommenden Rahmens und eine Signalspeichereinrichtung (513) zum Festhalten der Leseadresse (RA(c)) als Anzeige einer Phasendifferenz zwischen der kommenden und der gehenden Multiplexleitung als Antwort auf das Ausgangssignal vom Rahmendetektor (509) und dadurch, daß die Steuerungseinrichtung (520, Fig. 9, 12) eine Einrichtung aufweist zum Fällen einer ersten Entscheidung, wenn mindestens ein Signal einer gegebenen Mehrkanal-Verbindung eines gegebenen ankommenden Rahmens ( $FI_1$ ) größer ist als ein entsprechendes Signal eines folgenden abgehenden Rahmens ( $FO_i$ ), der dem gegebenen ankommenden Rahmen ( $FI_1$ ) unmittelbar folgt, oder einer zweiten Entscheidung, wenn alle Signale der gegebenen Mehrkanal-Verbindung früher auftreten als die entsprechenden Signale des nachfolgenden abgehenden Rahmens ( $FO_i$ ), und zum Lesen, als Antwort auf die erste Entscheidung, aller Signale der gegebenen Mehrkanal-Verbindung von einem des ersten und des zweiten Zeitkoppelspeichers in Zeitschlitten eines abgehenden Rahmens

(FO<sub>i+1</sub>) nach dem darauffolgenden abgehenden Rahmen (FO<sub>i</sub>), welche Zeitschlitzte durch die festgehaltene Adresse (RA(c)) festgelegt sind, und zum Lesen, als Antwort auf die zweite Entscheidung, aller Signale der gegebenen Mehrkanal-Verbindung aus einem der Zeitkoppelspeicher in Zeitschlitzte des nachfolgenden abgehenden Rahmens (FO<sub>i</sub>), welche Zeitschlitzte durch die festgehaltene Adresse (RA(c)) festgelegt sind.

5. Zeitmultiplexvermittlungssystem nach Anspruch 3 oder 4, dadurch gekennzeichnet, daß der Steuerungsspeicher 521 zusätzliche Speicherstellen hat, die jeweils den Zeitschlitzten eines abgehenden Rahmens entsprechen, und daß die Steuerungseinrichtung (520) als Antwort auf die erste Entscheidung ein Bit "1" in eine der zusätzlichen Speicherstellen schreibt, die durch die Schreibadresse (WA(c)) festgelegt ist, und ein Bit "0" als Antwort auf die zweite Entscheidung in die eine zusätzliche Speicherstelle schreibt und ein Bit aus einer der zusätzlichen Speicherstellen liest, die durch die Leseadresse (RA(c)) festgelegt ist, und

daß eine Ausschließlich-ODER-Gliedeinrichtung (511) angeordnet ist, um das Bit, das aus den zusätzlichen Speicherstellen gelesen wird, und ein höchstwertiges Bit der Leseadresse (RA(c)) aus der Leseeinrichtung (512) zu empfangen; und

daß der Multiplexierer (506) anspricht auf ein Ausgangssignal von der Ausschließlich-ODER-Gliedeinrichtung (511) zum Multiplexieren von Signalen von dem ersten und dem zweiten Zeitschalter (504, 505).

6. Zeitmultiplexvermittlungssystem nach Anspruch 5, dadurch gekennzeichnet, daß der Wert des Bits, der in den zusätzlichen Speicherstellen gespeichert werden soll, immer dann umgekehrt wird, wenn die Phasendifferenz größer als ein Rahmenintervall, aber kleiner als zwei Rahmenintervalle ist.

Fig. 1 STAND DER TECHNIK

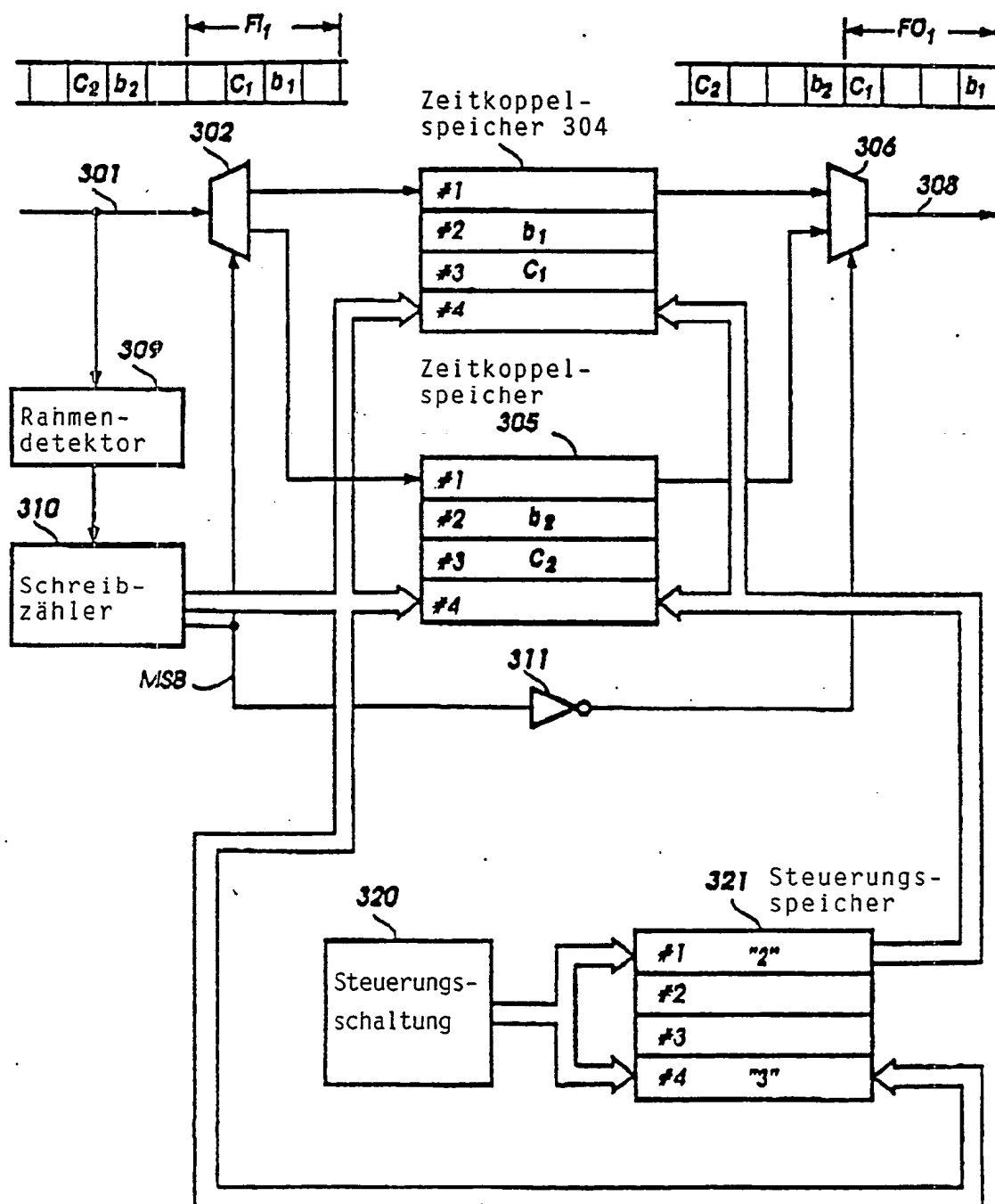




Fig. 3

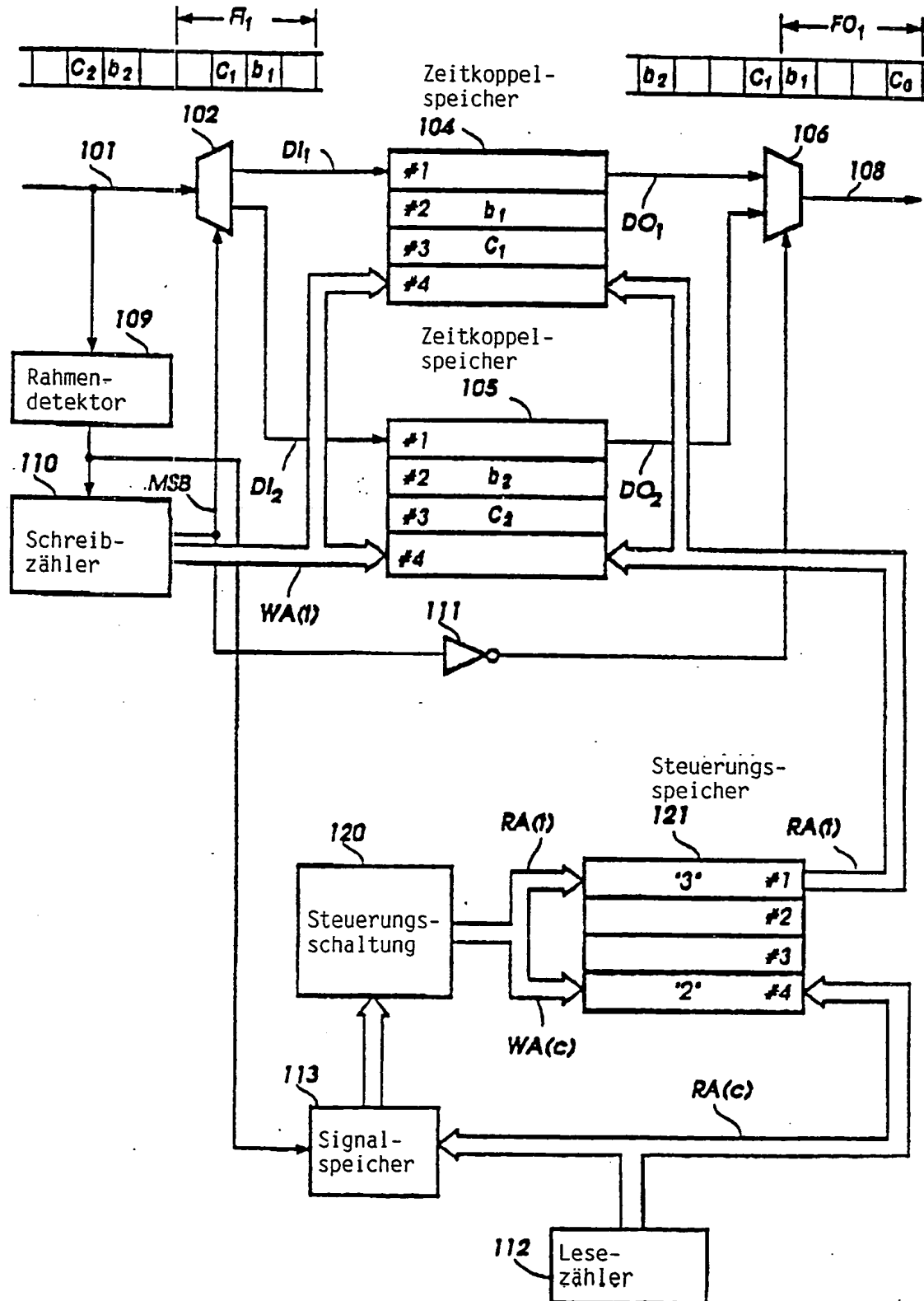


Fig. 4a

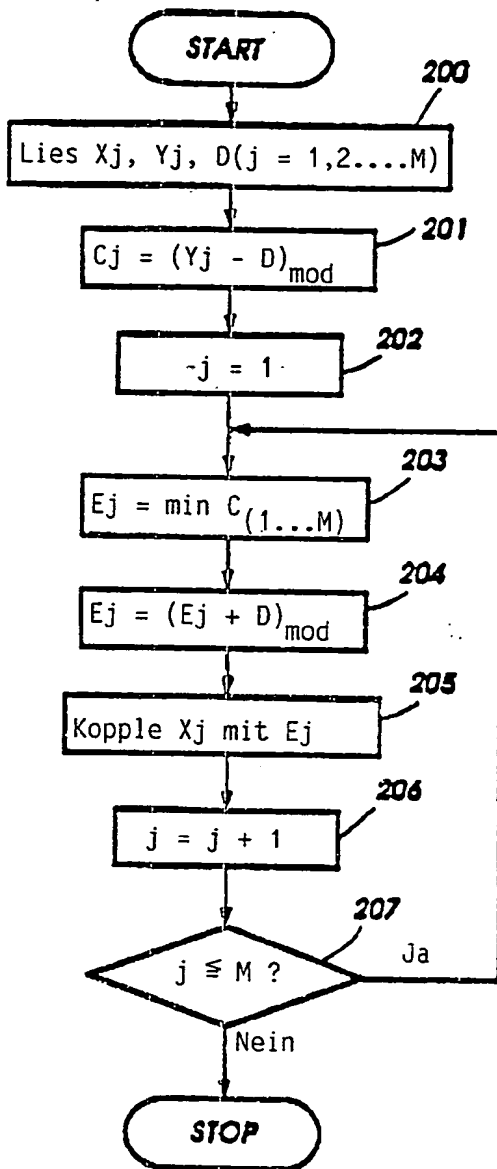


Fig. 7

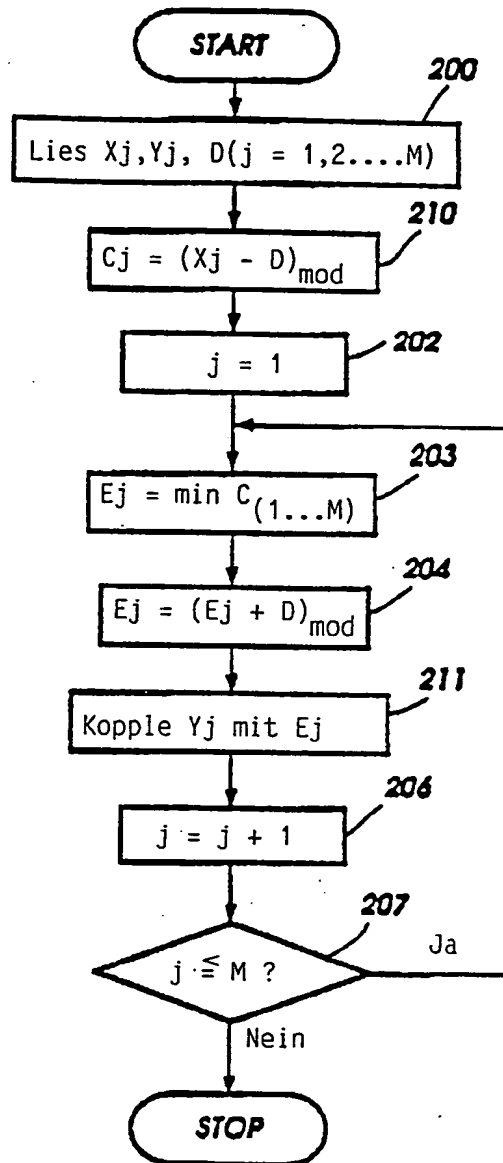


Fig. 4b

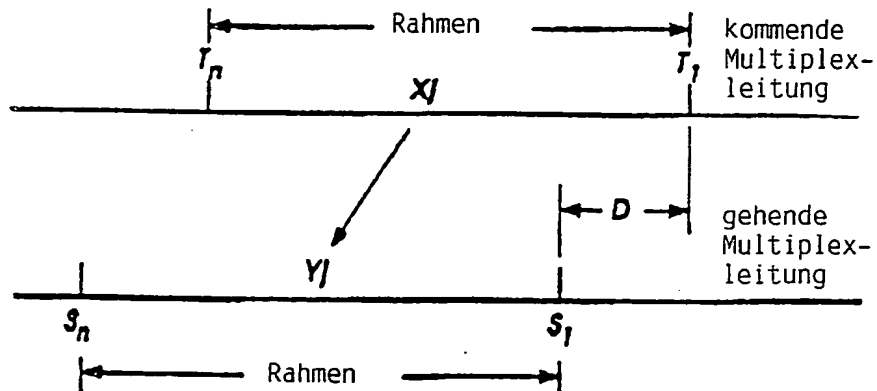


Fig. 5

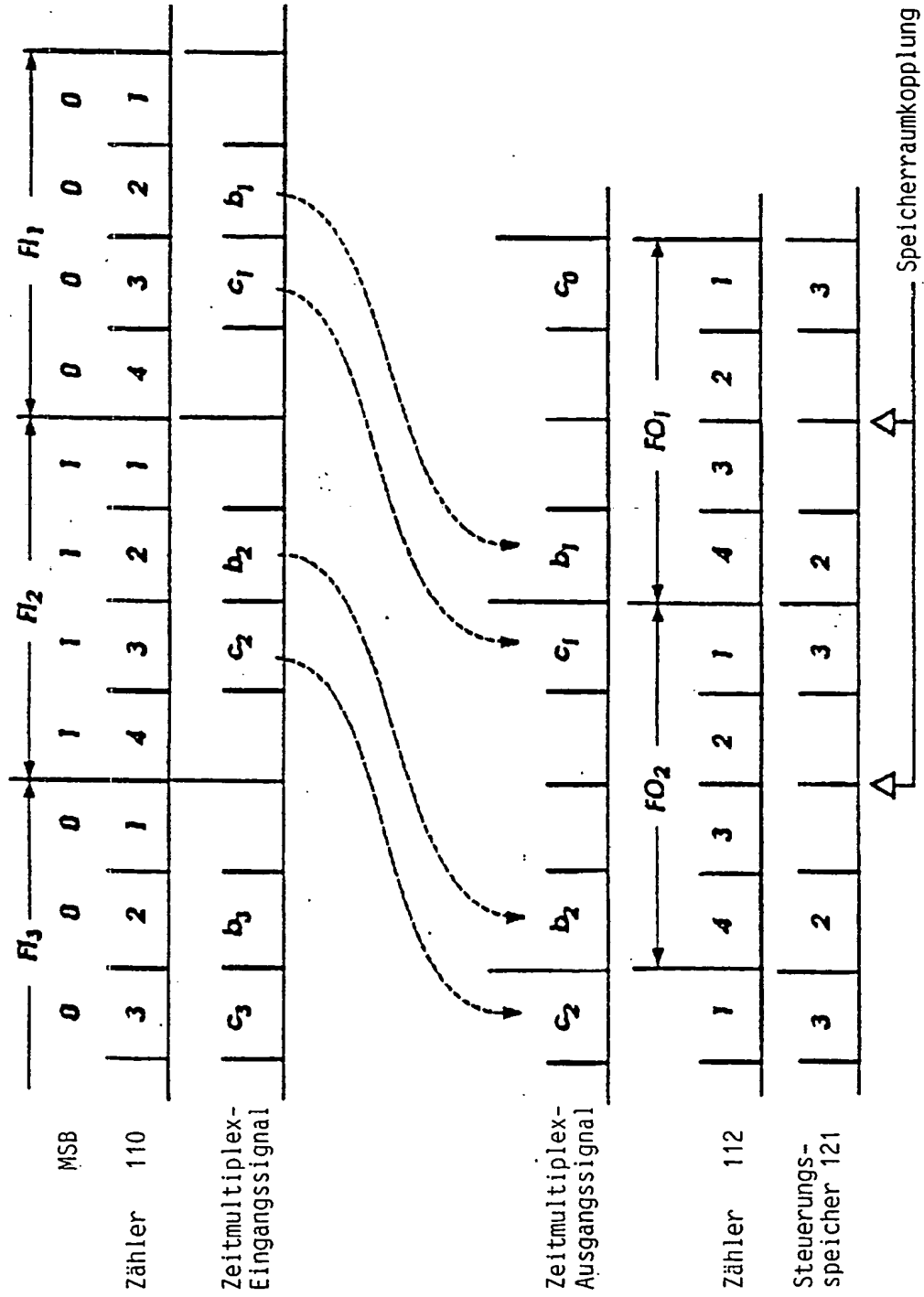




Fig. 6

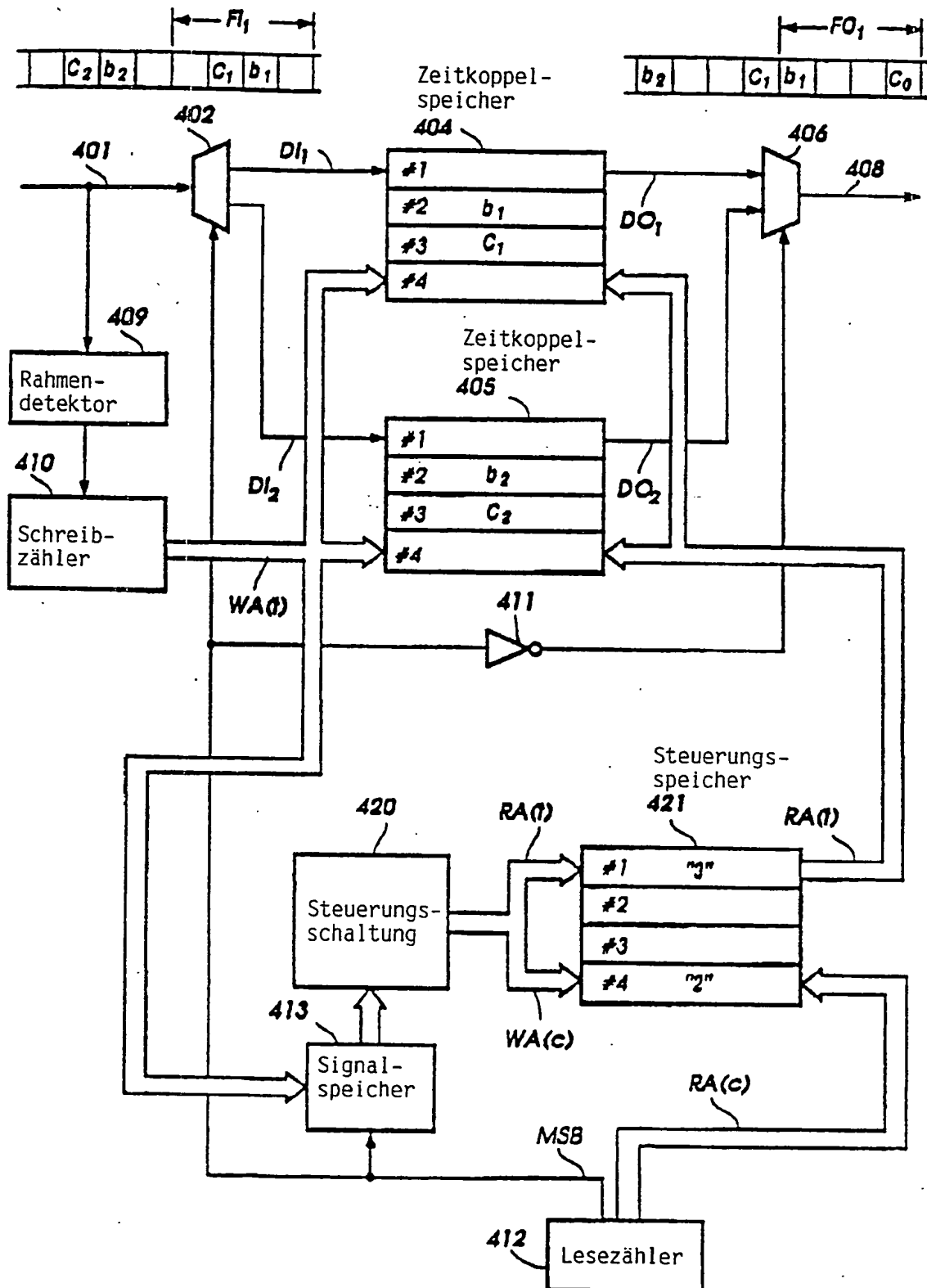


Fig. 8

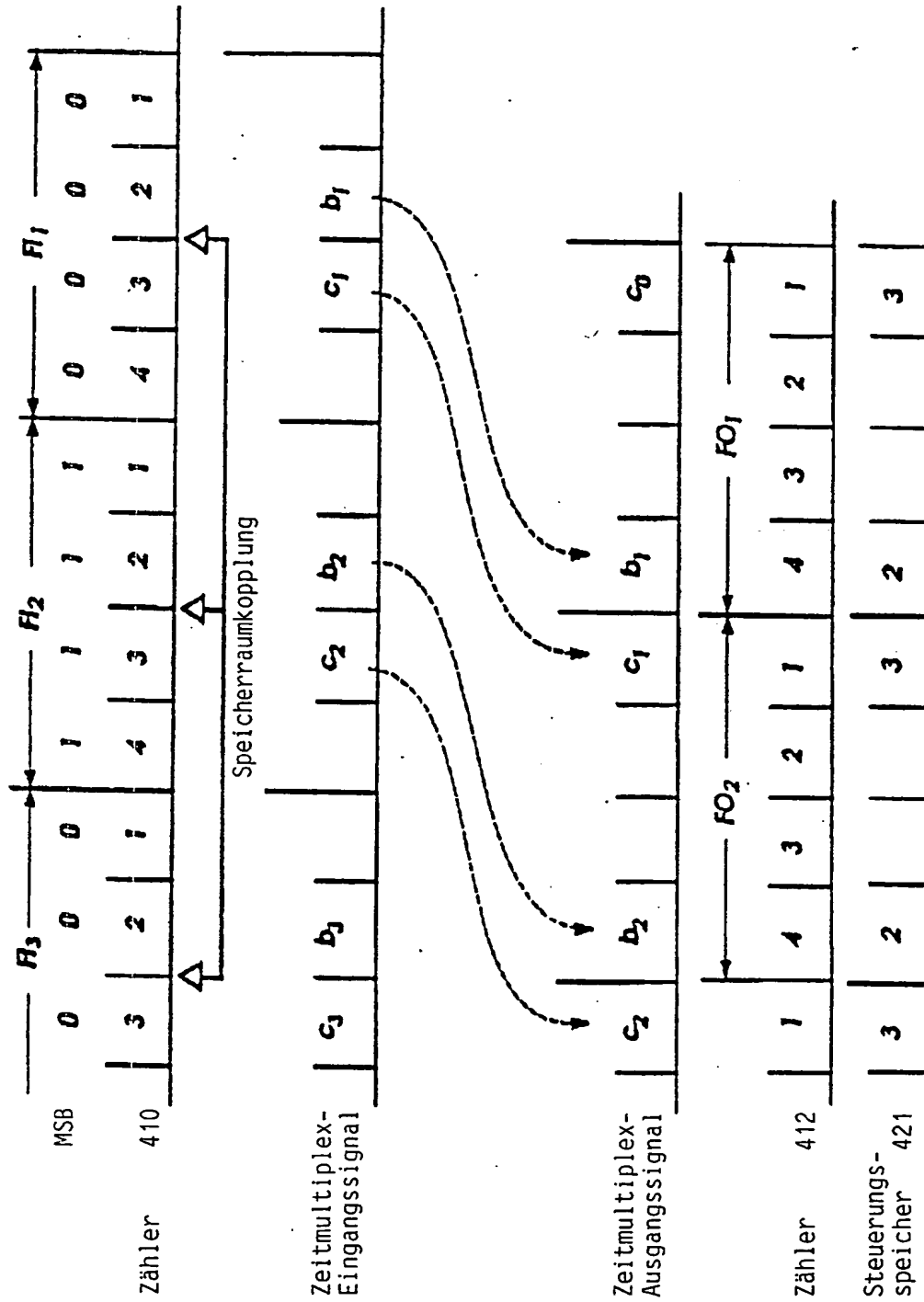


Fig. 9

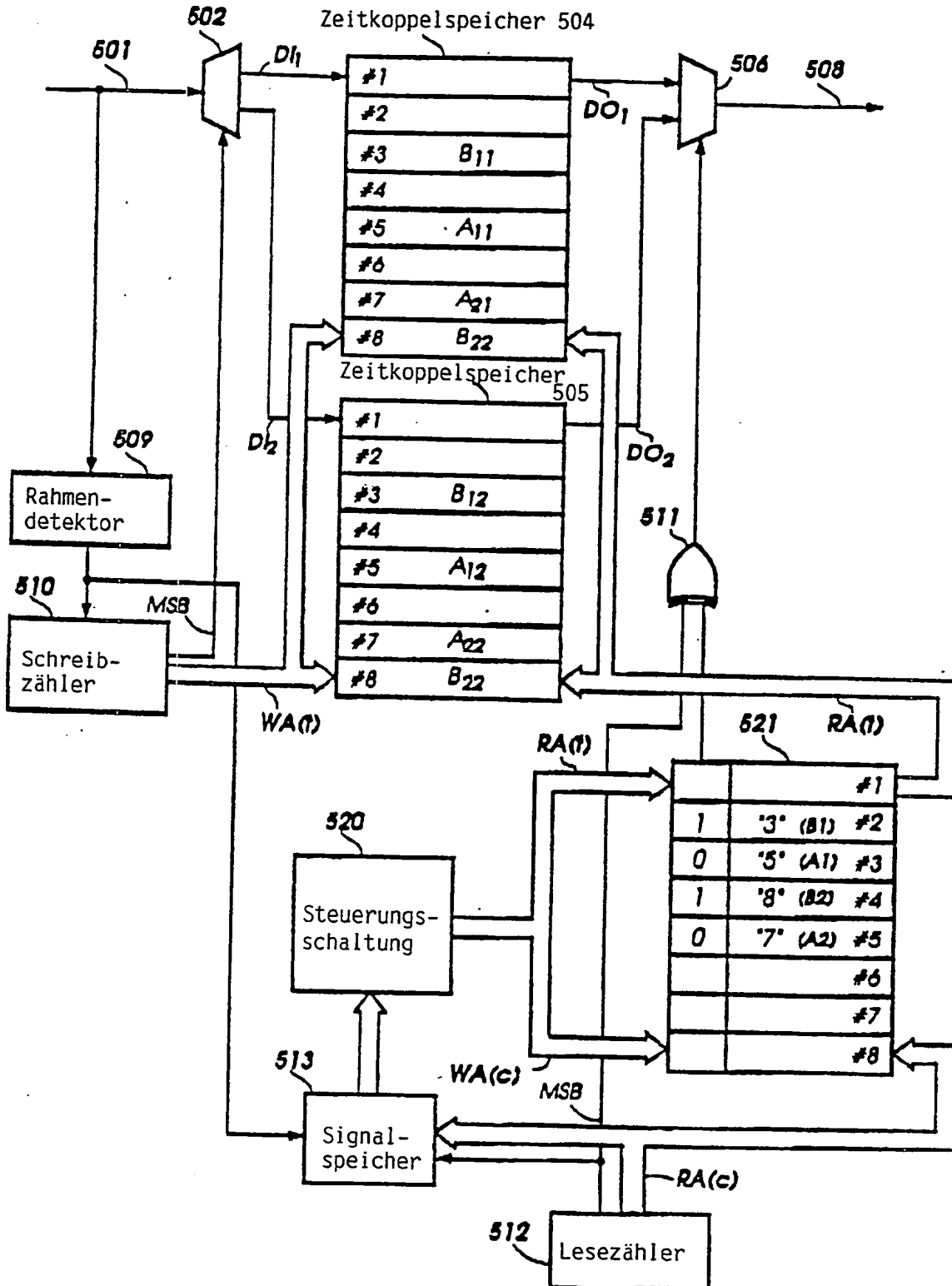


Fig. 10a

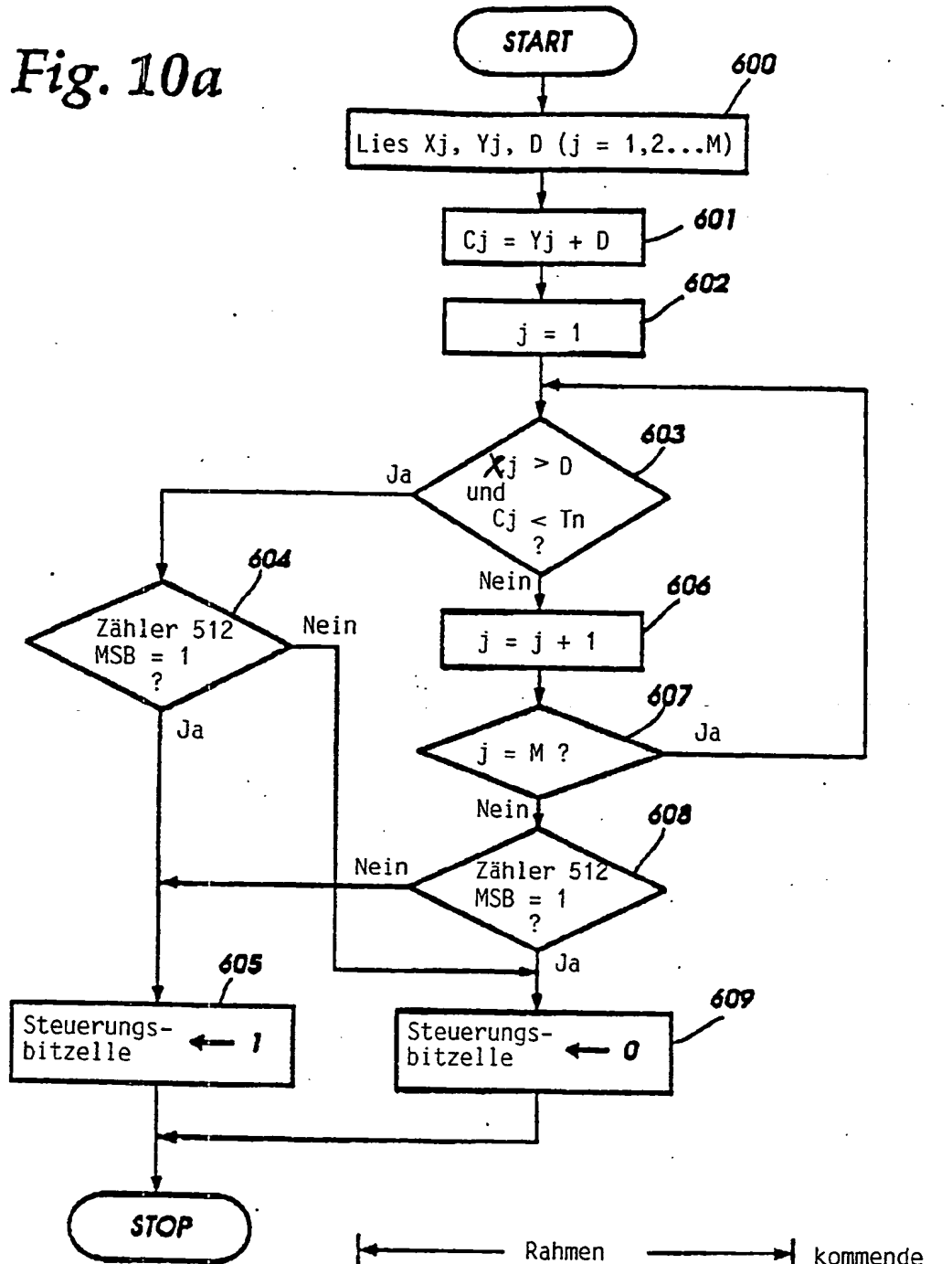
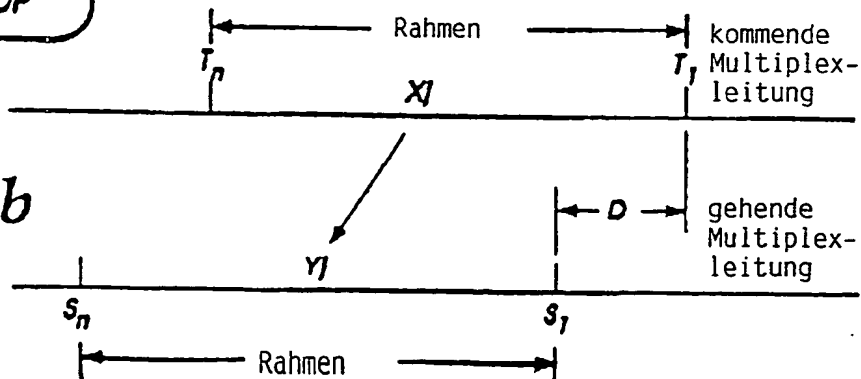


Fig. 10b





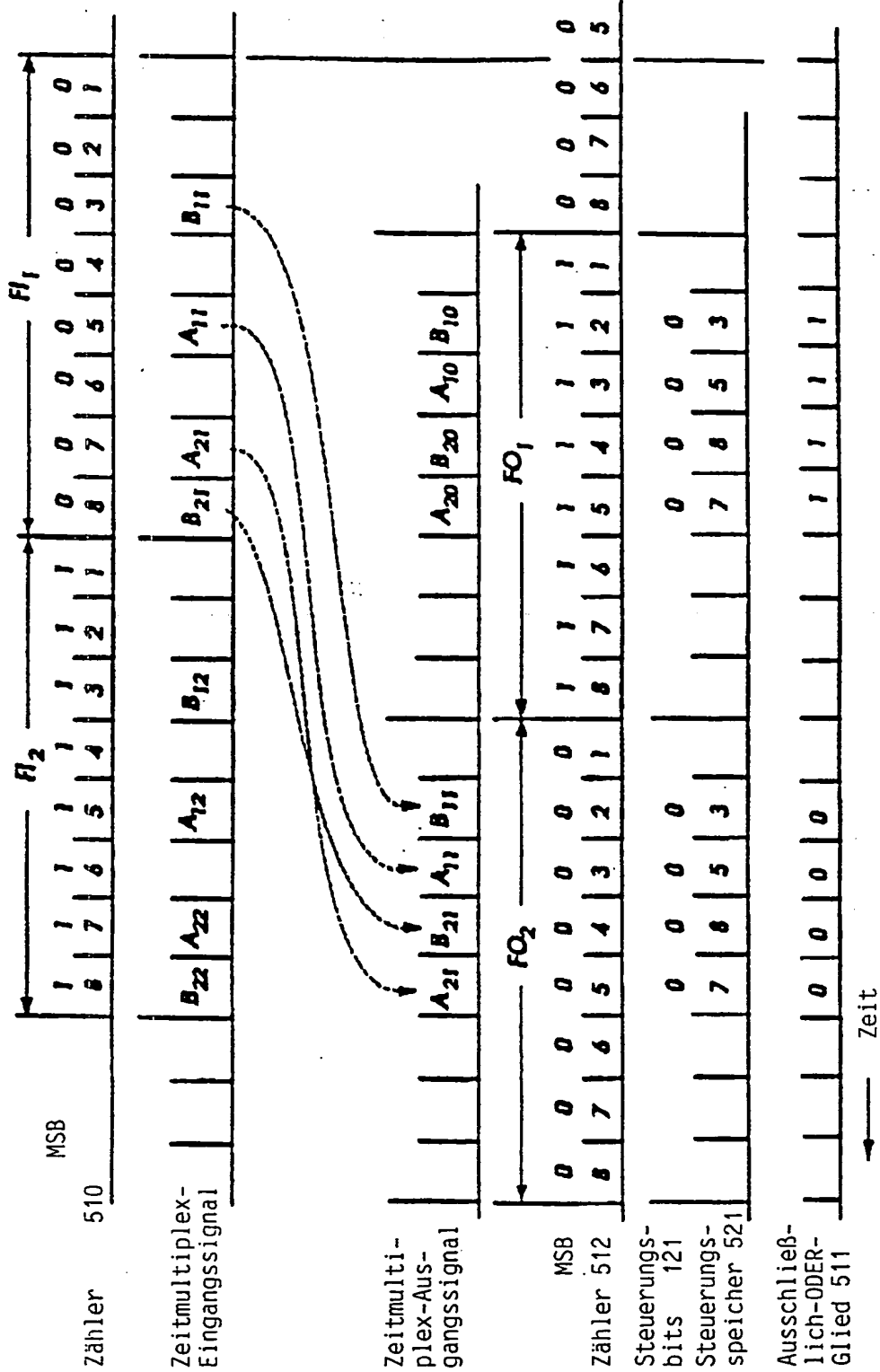


Fig. 12

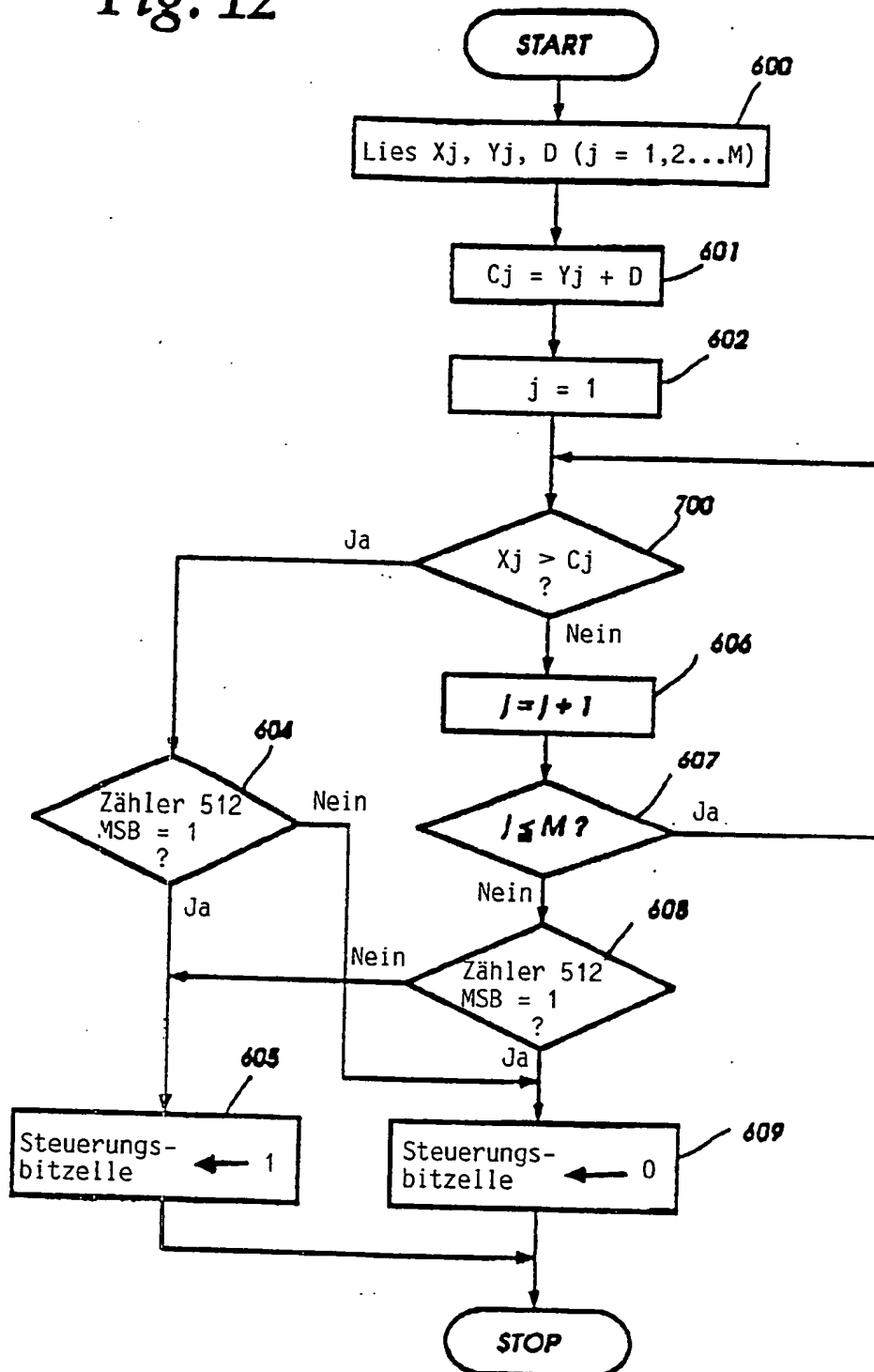
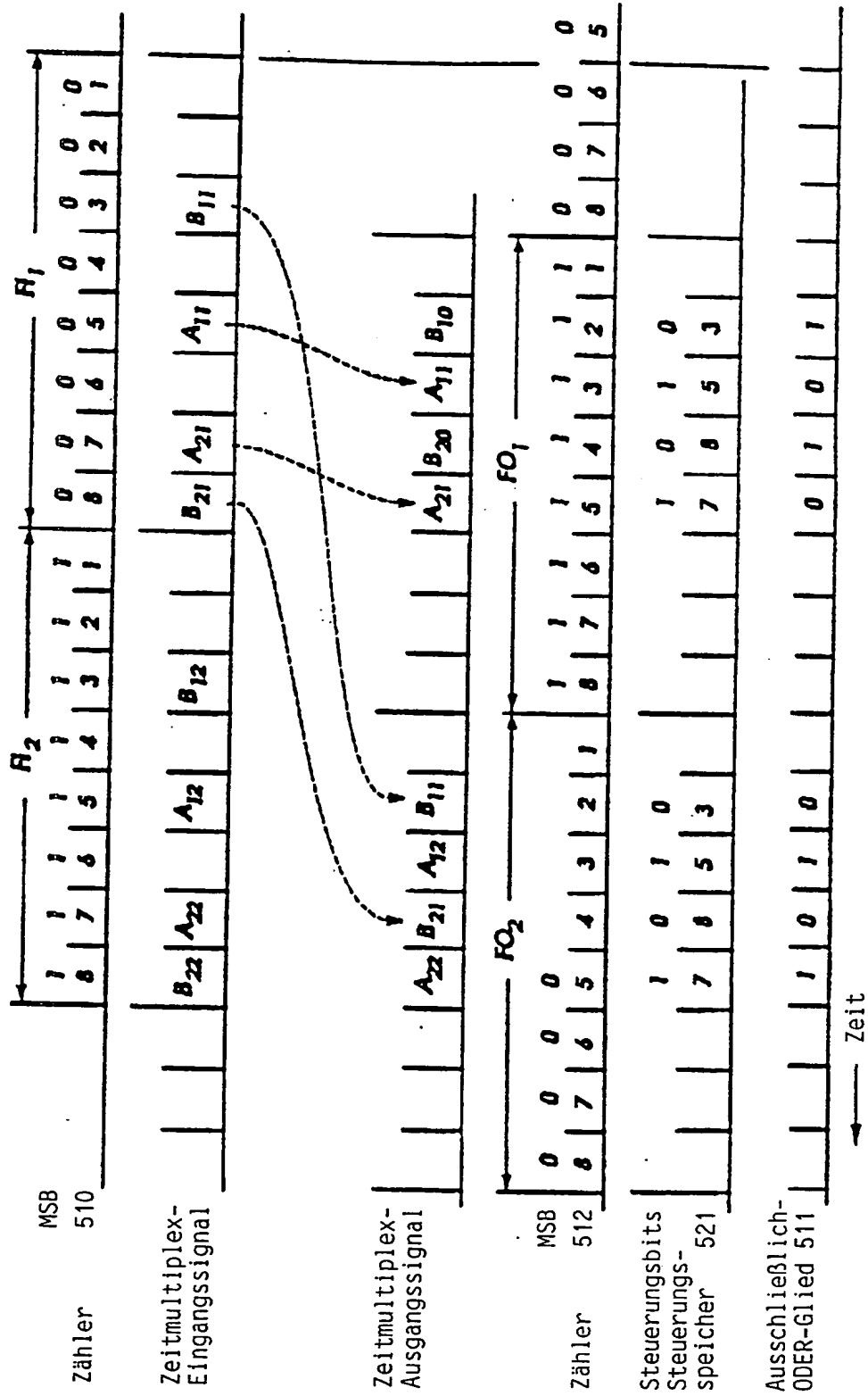






Fig. 13b



**This Page Blank (uspto)**